

**PATENT APPLICATION**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re the Application of

Daisuke SATO et al.

Group Art Unit: 2152

Application No.: 09/686,914

Filed: October 12, 2000

Docket No.: 107258

For: DATA TRANSFER CONTROL DEVICE AND ELECTRONIC EQUIPMENT

**CLAIM FOR PRIORITY**

Director of the U.S. Patent and Trademark Office  
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 11-293589 filed October 15, 1999.

In support of this claim, a certified copy of said original foreign application:

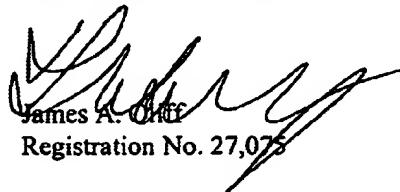
X is filed herewith.

\_\_\_\_\_ was filed on \_\_\_\_\_ in Parent Application No. \_\_\_\_\_ filed \_\_\_\_\_.

\_\_\_\_\_ will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

  
James A. O'Neill  
Registration No. 27,078

Thu Anh Dang  
Registration No. 41,544

JAO:TAD/gam

Date: February 21, 2001

OLIFF & BERRIDGE, PLC  
P.O. Box 19928  
Alexandria, Virginia 22320  
Telephone: (703) 836-6400

**DEPOSIT ACCOUNT USE  
AUTHORIZATION**  
Please grant any extension  
necessary for entry;  
Charge any fee due to our  
Deposit Account No. 15-0461

EPUS-2731  
hm

09/686914

日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
in this Office.

出願年月日  
Date of Application:

1999年10月15日

願番号  
Application Number:

平成11年特許願第293589号

願人  
licant(s):

セイコーエプソン株式会社

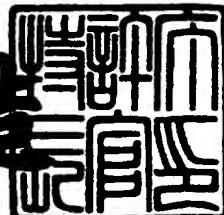


CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年 8月18日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3065697

【書類名】 特許願  
【整理番号】 EP195701  
【提出日】 平成11年10月15日  
【あて先】 特許庁長官殿  
【国際特許分類】 G06F 13/12  
【発明者】  
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
【氏名】 佐藤 大輔  
【発明者】  
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
【氏名】 堀内 浩  
【特許出願人】  
【識別番号】 000002369  
【氏名又は名称】 セイコーエプソン株式会社  
【代理人】  
【識別番号】 100090479  
【弁理士】  
【氏名又は名称】 井上 一  
【電話番号】 03-5397-0891  
【選任した代理人】  
【識別番号】 100090387  
【弁理士】  
【氏名又は名称】 布施 行夫  
【電話番号】 03-5397-0891  
【選任した代理人】  
【識別番号】 100090398  
【弁理士】

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ転送制御装置及び電子機器

【特許請求の範囲】

【請求項1】 バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、

処理手段がデータ転送のスタートコマンド又はレジュームコマンドを発行した場合に、転送処理をスタート又はレジュームする手段と、

ノードのトポロジ情報をクリアするリセット期間中に処理手段がスタートコマンド又はレジュームコマンドを発行した場合には、該コマンドの実行を取り消す手段と、

リセットの発生によりコマンドの実行が取り消されたことを処理手段に知らせる手段と、

を含むことを特徴とするデータ転送制御装置。

【請求項2】 請求項1において、

リセットの発生によりデータ転送のスタートコマンド又はレジュームコマンドの実行が取り消された場合に、処理手段に対して割り込みを発生する手段と、

前記割り込みの要因を処理手段に知らせるための要因記憶手段とを含むことを特徴とするデータ転送制御装置。

【請求項3】 請求項1又は2において、

前記取り消し手段が、

処理手段がスタートコマンド又はレジュームコマンドを発行した場合にアクティブになる信号を、バスリセット期間中にアクティブになる信号でマスクすることで、コマンドを取り消すことを特徴とするデータ転送制御装置。

【請求項4】 請求項1乃至3のいずれかにおいて、

処理手段がデータ転送のポーズコマンドを発行した場合又は転送エラーが発生した場合に、予め定められたポーズ場所で転送処理をポーズする手段を含むことを特徴とするデータ転送制御装置。

【請求項5】 請求項1乃至4のいずれかにおいて、

処理手段がデータ転送のスタートコマンドを発行した場合に、転送データを一連のパケットに分割し、分割された一連のパケットを連續転送する処理を実行する転送実行手段を含むことを特徴とするデータ転送制御装置。

【請求項6】 請求項1乃至5のいずれかにおいて、

前記リセットが、IEEE1394の規格において定義されるバスリセットであることを特徴とするデータ転送制御装置。

【請求項7】 バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、

処理手段がデータ転送のスタートコマンドを発行した場合に、転送データを一連のパケットに分割し、分割された一連のパケットを連續転送する処理を実行する転送実行手段と、

処理手段が、データ転送のレジュームコマンドとポーズコマンドとを同時に発行した場合に、転送処理をステップ実行した後に転送処理をポーズする手段と、

を含むことを特徴とするデータ転送制御装置。

【請求項8】 請求項7において、

前記ポーズ手段が、

前記レジュームコマンドが発行された場合にアクティブになるレジューム信号と、前記レジュームコマンドと前記ポーズコマンドとが同時に発行された場合に、前記レジューム信号がアクティブになってから所与の期間だけ遅延してアクティブになる遅延ポーズ信号とに基づいて、転送処理のステップ実行及びポーズを行うことを特徴とするデータ転送制御装置。

【請求項9】 請求項1乃至8のいずれかにおいて、

IEEE1394の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

【請求項10】 請求項1乃至9のいずれかのデータ転送制御装置と、

前記データ転送制御装置及びバスを介して他のノードから受信したデータに所与の処理を施す装置と、

処理が施されたデータを出力又は記憶するための装置とを含むことを特徴とする電子機器。

【請求項11】 請求項1乃至9のいずれかのデータ転送制御装置と、前記データ転送制御装置及びバスを介して他のノードに転送するデータに所与の処理を施す装置と、処理が施されるデータを取り込むための装置とを含むことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、データ転送制御装置及びこれを含む電子機器に関し、特に、バスに接続される複数のノード間でIEEE1394などの規格に準じたデータ転送を行うデータ転送制御装置及びこれを含む電子機器に関する。

【0002】

【背景技術及び発明が解決しようとする課題】

近年、IEEE1394と呼ばれるインターフェース規格が脚光を浴びている。このIEEE1394は、次世代のマルチメディアにも対応可能な高速シリアルバスインターフェースを規格化したものである。このIEEE1394によれば、動画像などのリアルタイム性が要求されるデータも扱うことができる。また、IEEE1394のバスには、プリンタ、スキャナ、CD-RWドライブ、ハードディスクドライブなどのコンピュータの周辺機器のみならず、ビデオカメラ、VTR、TVなどの家庭用電化製品も接続できる。このため、電子機器のデジタル化を飛躍的に促進できるものとして期待されている。

【0003】

さて、このIEEE1394においては、バスに電子機器が新たに接続されたり、バスから電子機器が取り外されたりして、バスに接続されるノードが増減すると、いわゆるバスリセットが発生する。そしてバスリセットが発生するとノードのトポロジ情報がクリアされ、その後、トポロジ情報が自動的に再設定される。即ち、バスリセットの発生後、ツリー識別（ルートノードの決定）、自己識別が行われ、その後、アイソクロナスリソースマネージャ等の管理ノードが決定される。そして通常のパケット転送が開始される。

## 【0004】

このようにIEE1394では、バスリセット後にトポロジ情報が自動的に再設定されるため、いわゆるホット状態でのケーブルの抜き差し（ホットプラグ）が可能となる。このため、一般ユーザは、VTRなどの通常の家庭用電化製品と同じように、電子機器へのケーブルの抜き差しを自由にできるようになり、いわゆるホームネットワークシステムの普及に役立つことができる。

## 【0005】

しかしながら、このバスリセットの発生により、以下のような問題が生じることが判明した。

## 【0006】

即ち、バスリセットは、ケーブルの抜き差しなどが原因で発生するため、CPU上で動作するファームウェア（処理手段）は、バスリセットの発生時期を予め予期することはできない。従って、バスリセットの発生後（或いはバスリセットの発生とほぼ同時）に、ファームウェアがデータ転送のスタートコマンドを発行してしまう事態が生じる。そして、このような事態が生じると、本来はバスリセットにより無効となるべきパケットの転送が開始されしまうなどの不具合が生じる可能性がある。

## 【0007】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、ノードのトポロジ情報をクリアするリセットが発生した場合にも安定した動作が保証されるデータ転送制御装置及びこれが用いられる電子機器を提供することにある。

## 【0008】

## 【課題を解決するための手段】

上記課題を解決するために本発明は、バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、処理手段がデータ転送のスタートコマンド又はレジュームコマンドを発行した場合に、転送処理をスタート又はレジュームする手段と、ノードのトポロジ情報をクリアするリセット期間中に処理手段がスタートコマンド又はレジュームコマンドを発行した場合には、該コマ

ンドの実行を取り消す手段と、リセットの発生によりコマンドの実行が取り消されたことを処理手段に知らせる手段とを含むことを特徴とする。

【0009】

本発明によれば、リセット（例えばIEEE1394のバスリセット）期間中に、処理手段がスタート（レジューム）コマンドを発行すると、そのコマンドの実行が取り消される。従って、本来なら無効になるべきパケットが転送されてしまったり、他の回路ブロックの誤動作を招いたり、処理手段の処理を混乱させてしまうなどの事態を防止できる。これにより、ノードのトポロジ情報をクリアするリセットが発生した場合にも安定した動作を保証できるようになる。そして、本発明によれば、コマンドの実行が取り消されたことが処理手段に知らされるため、処理手段は、取り消されたコマンドを再発行するなどの処理を行えるようになる。

【0010】

また本発明は、リセットの発生によりデータ転送のスタートコマンド又はレジュームコマンドの実行が取り消された場合に、処理手段に対して割り込みを発生する手段と、前記割り込みの要因を処理手段に知らせるための要因記憶手段とを含むことを特徴とする。このようにすれば、コマンドが取り消されたことを、処理手段に確実に効率よく知らせることができる。

【0011】

また本発明は、前記取り消し手段が、処理手段がスタートコマンド又はレジュームコマンドを発行した場合にアクティブになる信号を、リセット期間中にアクティブになる信号でマスクすることで、コマンドを取り消すことを特徴とする。このようにすれば、処理手段が発行したスタート（レジューム）コマンドが、データ転送制御装置の他の回路ブロックに伝わるのを効果的に防止できる。

【0012】

また本発明は、処理手段がデータ転送のポーズコマンドを発行した場合又は転送エラーが発生した場合に、予め定められたポーズ場所で転送処理をポーズする手段を含むことを特徴とする。このようにすることで、スタート（レジューム）コマンドが発行された後に、ノードのトポロジ情報をクリアするリセットが発生

した場合にも、転送処理を一度ポーズして、適切な処理を行った後に転送処理をレジュームできるようになる。

【0013】

また本発明は、処理手段がデータ転送のスタートコマンドを発行した場合に、転送データを一連のパケットに分割し、分割された一連のパケットを連續転送する処理を実行する転送実行手段を含むことを特徴とする。このような転送実行手段を含む場合には、リセット期間中にスタートコマンドが一度発行されると、処理手段が転送処理を停止しない限り、一連のパケットが次々と転送されてしまい、深刻な不具合が生じる可能性がある。しかしながら、本発明によれば、リセット期間中に発行されたスタートコマンドは即座に取り消されるため、このような不具合が生じるのを防止できる。

【0014】

なお本発明では、前記リセットが、IEE1394の規格において定義されるバスリセットであることが望ましい。

【0015】

また本発明は、バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、処理手段がデータ転送のスタートコマンドを発行した場合に、転送データを一連のパケットに分割し、分割された一連のパケットを連續転送する処理を実行する転送実行手段と、処理手段が、データ転送のレジュームコマンドとポーズコマンドとを同時に発行した場合に、転送処理をステップ実行した後に転送処理をポーズする手段とを含むことを特徴とする。

【0016】

本発明によれば、処理手段がデータ転送のレジュームコマンドとポーズコマンドを同時に発行した場合には、転送処理がステップ実行される。これにより、例えば、パケットを1つずつ転送するなどの処理が可能になり、データ転送制御装置のデバッグなどに有効な手段を提供できるようになる。

【0017】

また本発明は、前記ポーズ手段が、前記レジュームコマンドが発行された場合にアクティブになるレジューム信号と、前記レジュームコマンドと前記ポーズコ

マンドとが同時に発行された場合に、前記レジューム信号がアクティブになってから所与の期間だけ遅延してアクティブになる遅延ポーズ信号とに基づいて、転送処理のステップ実行及びポーズを行うことを特徴とする。このようにすれば、遅延ポーズ信号を生成するための遅延手段を設けるなどの簡素な手法で、転送処理のステップ実行を実現できるようになる。

## 【0018】

また、本発明では、IEEE1394の規格に準拠したデータ転送を行うことが望ましい。

## 【0019】

また本発明に係る電子機器は、上記のいずれかのデータ転送制御装置と、前記データ転送制御装置及びバスを介して他のノードから受信したデータに所与の処理を施す装置と、処理が施されたデータを出力又は記憶するための装置とを含むことを特徴とする。また本発明に係る電子機器は、上記のいずれかのデータ転送制御装置と、前記データ転送制御装置及びバスを介して他のノードに送信するデータに所与の処理を施す装置と、処理が施されるデータを取り込むための装置とを含むことを特徴とする。

## 【0020】

本発明によれば、データ転送を制御するファームウェア等の処理負担を軽減できるため、電子機器の低コスト化、処理の高速化などを図ることができる。また、トポロジー情報をクリアするリセットの発生によりシステムに不具合が生じる事態を防止できるため、電子機器の信頼性を高めることができる。

## 【0021】

## 【発明の実施の形態】

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。

## 【0022】

## 1. IEEE1394

まず、IEEE1394について簡単に説明する。

## 【0023】

## 1. 1 概要

IEEE1394 (IEEE1394-1995, P1394. a) では100~400Mbpsの高速なデータ転送が可能となっている (P1394. bでは800~3200Mbps)。また、転送速度が異なるノードをバスに接続することも許される。

【0024】

各ノードはツリー状に接続されており、1つのバスに最大で63個のノードが接続可能になっている。なお、バスブリッジを利用すれば約64000個のノードを接続することも可能である。

【0025】

IEEE1394では、パケットの転送方式として非同期転送とアイソクロナス転送が用意されている。ここで非同期転送は、信頼性が要求されるデータの転送に好適な転送方式であり、アイソクロナス転送は、リアルタイム性が要求される動画像や音声などのデータの転送に好適な転送方式である。

【0026】

1. 2 層構造

IEEE1394の層構造（プロトコル構成）を図1に示す。

【0027】

IEEE1394のプロトコルは、トランザクション層、リンク層、物理層により構成される。また、シリアルバスマネージメントは、トランザクション層、リンク層、物理層をモニターしたり制御したりするものであり、ノードの制御やバスのリソース管理のための種々の機能を提供する。

【0028】

トランザクション層は、上位層にトランザクション単位のインターフェース（サービス）を提供し、下層のリンク層が提供するインターフェースを通して、リードトランザクション、ライトトランザクション、ロックトランザクション等のトランザクションを実施する。

【0029】

ここで、リードトランザクションでは、応答ノードから要求ノードにデータが転送される。一方、ライトトランザクションでは、要求ノードから応答ノードに

データが転送される。またロックトランザクションでは、要求ノードから応答ノードにデータが転送され、応答ノードがそのデータに処理を施して要求ノードに返信する。

#### 【0030】

リンク層は、アドレッシング、データチェック、パケット送受信のためのデータフレーミング、アイソクロナス転送のためのサイクル制御などを提供する。

#### 【0031】

物理層は、リンク層により使用されるロジカルシンボルの電気信号への変換や、バスの調停や、バスの物理的インターフェースを提供する。

#### 【0032】

##### 1. 3 S B P-2

さて、図2に示すように、IEEE1394のトランザクション層の一部の機能を含む上位のプロトコルとして、S B P-2 (Serial Bus Protocol-2) と呼ばれるプロトコルが提案されている。

#### 【0033】

ここでS B P-2は、SCSIのコマンドセットをIEEE1394のプロトコル上で利用可能にするために提案されたものである。このS B P-2を用いれば、既存のSCSI規格の電子機器で使用されていたSCSIのコマンドセットに最小限の変更を加えて、IEEE1394規格の電子機器に使用できるようになる。従って、電子機器の設計や開発を容易化できる。また、SCSIのコマンドだけではなく、デバイス固有のコマンドもカプセル化して利用できるため、非常に汎用性が高い。

#### 【0034】

図3に示すようにS B P-2では、まず、イニシエータ（例えばパーソナルコンピュータ）により作成されたログインO R B (Operation Request Block) を用いてログイン処理が行われる（ステップT 1）。次に、ダミーO R B を用いてフェッヂエージェントの初期化が行われる（ステップT 2）。そして、ノーマルコマンドO R B を用いてコマンド処理が行われ（ステップT 3）、最後に、ログアウトO R B を用いてログアウト処理が行われる（ステップT 4）。

## 【0035】

ステップT3のコマンド処理においては、図4のA1に示すように、イニシエータがライト要求パケットを転送して（ライト要求トランザクションを発行して）、ターゲットのドアベルレジスタをリングする。すると、A2に示すように、ターゲットがリード要求パケットを転送し、イニシエータが対応するリード応答パケットを返す。これにより、イニシエータが作成したORB（ノーマルコマンドORB）が、ターゲットのデータバッファにフェッチされる。そして、ターゲットは、フェッチされたORBに含まれるコマンドを解析する。

## 【0036】

そして、ORBに含まれるコマンドがSCSIのリードコマンドであった場合には、A3に示すように、ターゲットは、一連のライト要求パケットをイニシエータに転送する。これにより、例えばターゲットのメディア（CD-RW）から読み出されたデータ（ストリーム）が、イニシエータのデータバッファに転送されることになる。

## 【0037】

一方、ORBに含まれるコマンドがSCSIのライトコマンドであった場合には、図5のB1に示すように、ターゲットがリード要求パケットをイニシエータに転送し、イニシエータが対応するリード応答パケットを返す。これにより、イニシエータのデータバッファに格納されているデータ（ストリーム）がターゲットに転送され、ターゲットのメディアに書き込まれることになる（ターゲットがプリンタの場合には印刷される）。

## 【0038】

このSBP-2によれば、ターゲットは、自身が都合の良いときに要求パケットを転送して（トランザクションを発行して）、データを送受信できる。従って、イニシエータとターゲットが同期して動く必要がなくなるため、データ転送効率を高めることができる。

## 【0039】

なお、IEEE1394の上位プロトコルとしては、SBP-2以外にも、FCP（Function Control Protocol）と呼ばれるプロトコルなども提案されている

## 【0040】

さて、ターゲット、イニシエータ間でデータ転送を行う場合、図6 (A) のようにイニシエータ（相手ノード）のデータバッファ（記憶手段）にページテーブルが存在する場合と、存在しない場合がある。

## 【0041】

そして、ページテーブルが存在する場合には、図6 (B) に示すように、イニシエータが作成したORBの中には、そのページテーブルのアドレスやエレメント数が含まれる。そして、転送データのアドレス（読み出しアドレス、書き込みアドレス）は、このページテーブルを用いて間接アドレス指定される。

## 【0042】

一方、ページテーブルが存在しない場合には、図6 (C) に示すように、ORBの中にはアドレスとデータ長が含まれ、転送データのアドレスが直接アドレス指定される。

## 【0043】

## 1.4 バスリセット

IEEE1394では、電源が投入されたり、途中でデバイスの抜き差しが発生すると、バスリセットが発生する。即ち、各ノードは、ポートの電圧変化を監視している。そして、バスに新たなノードが接続されるなどしてポートの電圧に変化が生じると、この変化を検知したノードは、バス上の他のノードに対して、バスリセットが発生したことを知らせる。また、各ノードの物理層は、バスリセットが発生したことをリンク層に伝える。

## 【0044】

そして、このようにバスリセットが発生すると、ノードIDなどのトポロジ情報がクリアされる。そして、その後、トポロジー情報が自動的に再設定される。即ち、バスリセット後、ツリー識別、自己識別が行われる。その後、アイソクロナスリソースマネージャ、サイクルマスタ、バスマネージャ等の管理ノードが決定される。そして、通常のパケット転送が開始される。

## 【0045】

このようにIEEE1394では、バスリセット後にトポロジ情報が自動的に再設定されるため、電子機器のケーブルを自由に抜き差しできるようになり、いわゆるホットプラグを実現できる。

#### 【0046】

なお、トランザクションの途中でバスリセットが発生した場合には、そのトランザクションは中止される。そして、中止されたトランザクションを発行した要求ノードは、トポロジー情報が再設定された後に、要求パケットを再度転送する。また、応答ノードは、バスリセットにより中止されたトランザクションの応答パケットを要求ノードに返送してはならない。

#### 【0047】

##### 2. 全体構成

次に、本実施形態のデータ転送制御装置の全体構成の例について図7を用いて説明する。

#### 【0048】

図7において、PHYインターフェース10は、PHYデバイス（物理層のデバイス）とのインターフェースを行う回路である。

#### 【0049】

リンクコア20（リンク手段）は、リンク層のプロトコルやトランザクション層のプロトコルの一部をハードウェアにより実現する回路であり、ノード間でのパケット転送のための各種サービスを提供する。レジスタ22は、リンクコア20を制御するためのレジスタである。

#### 【0050】

FIFO (Asynchronous Transmission Fifo) 30、FIFO (Isochronous Transmission Fifo) 32、FIFO (Reception Fifo) 34は、各々、非同期送信用、アイソクロナス送信用、受信用のFIFOであり、例えばレジスタや半導体メモリなどのハードウェアにより構成される。本実施形態では、これらのFIFO 30、32、34の段数は非常に少ない。例えば1つのFIFOの段数は、好ましくは3段以下であり、更に好ましくは2段以下となる。

#### 【0051】

DMAC40（読み出し手段）、DMAC42（読み出し手段）、DMAC44（書き込み手段）は、各々、ATF用、ITF用、RF用のDMAコントローラである。これらのDMAC40、42、44を用いることで、CPU66に介入されることなく、RAM80とリンクコア20との間でのデータ転送が可能になる。なお、レジスタ46は、DMAC40、42、44などを制御するためのレジスタである。

#### 【0052】

ポートインターフェース50は、アプリケーション層のデバイス（例えばプリンタの印字処理を行うデバイス）とのインターフェースを行う回路である。

#### 【0053】

FIFO(PF)52は、アプリケーション層のデバイスとの間でのデータ転送のためのFIFOであり、DMAC54は、PF用のDMAコントローラである。レジスタ56は、ポートインターフェース50やDMAC54を制御するレジスタである。

#### 【0054】

SBP-2コア84（転送実行回路）は、SBP-2のプロトコルの一部やトランザクション層の一部をハードウェアにより実現する回路である。このSBP-2コア84の機能により、転送データを一連のパケットに分割し、分割された一連のパケットを連續転送する処理が可能になる。なお、レジスタ88は、SBP-2コア84を制御するためのレジスタであり、DMAC(SBP-2用)86は、SBP-2コア84用のDMAコントローラである。

#### 【0055】

RAM領域管理回路300は、RAM80の各領域を管理するための回路である。RAM領域管理回路300は、RAM80の各領域がフルになったり、エンプティになった場合に、各種のフル信号、エンプティ信号を用いてDMAC40、42、44、54、86を制御する。

#### 【0056】

CPUインターフェース60は、データ転送制御装置をコントロールするCPU66（処理手段）とのインターフェースを行う回路である。CPUインターフ

エース60は、アドレスデコーダ62、データ同期化回路63、割り込みコントローラ64を含む。クロック制御回路68は、本実施形態で使用されるクロックを制御するものであり、PHYデバイス(PHYチップ)から送られてくるSCLK(データ転送制御装置のシステムクロック)や、HCLK(CPU66の動作クロック)が入力される。

#### 【0057】

バッファマネージャ70は、RAM80とのインターフェースを管理する回路である。バッファマネージャ70は、バッファマネージャの制御のためのレジスタ72、RAM80へのバス接続を調停する調停回路74、各種の制御信号を生成するシーケンサ76を含む。

#### 【0058】

RAM80は、ランダムアクセス可能なパケット記憶手段として機能するものであり、その機能は例えばSRAM、SDRAM、DRAMなどにより実現される。

#### 【0059】

なおRAM80は、本実施形態のデータ転送制御装置に内蔵させることが特に望ましいが、その一部又は全部を外付けにすることも可能である。

#### 【0060】

図8に、RAM80のメモリマップの一例を示す。図8に示すように本実施形態では、RAM80が、ヘッダ領域(AR2、AR3、AR4、AR6)とデータ領域(AR5、AR7、AR8、AR9)に分離されている。そして、パケットのヘッダ(広義には制御情報)はヘッダ領域に格納され、パケットのデータ(ORB、ストリーム)はデータ領域に格納される。

#### 【0061】

また本実施形態では、図8に示すように、RAM80のデータ領域(AR5、AR7、AR8、AR9)が、ORB領域(AR5、AR7)とストリーム領域(AR8、AR9)に分離されている。

#### 【0062】

更に本実施形態では、RAM80が、受信領域(AR2、AR4、AR5、A

R9) と送信領域 (AR3, AR6, AR7, AR8) に分離されている。

【0063】

なお、ORB (第1の層用の第1のデータ) は、上述したようにSPP-2用のデータ (コマンド) である。一方、ストリーム (第1の層より上層の第2の層用の第2のデータ) は、アプリケーション層用のデータ (プリンタの印字データ、CD-RWの読み出し・書き込みデータ、スキャナによる取り込み画像データ等) である。

【0064】

また、AR1, AR2, AR3に示すHW (ハードウェア) 用ページテーブル領域、HW用受信ヘッダ領域、HW用送信ヘッダ領域は、図7に示すSPP-2コア84が、ページテーブルや受信ヘッダや送信ヘッダを書き込んだり読み出したりするための領域である。

【0065】

なお、図8においてAR4, AR5, AR8, AR9に示す領域は、いわゆるリングバッファ構造になっている。

【0066】

さて、図7のバス90 (或いはバス92, 94) は、アプリケーションに接続されるものである (第1のバス)。またバス95 (或いはバス96) はデータ転送制御装置をコントロールし、或いはデータをリード・ライトするためのものであり、データ転送制御装置をコントロールするデバイス (例えばCPU) に電気的に接続される (第2のバス)。またバス100 (或いはバス102, 104, 105, 106, 107, 108, 109) は、物理層のデバイス (PHYデバイス) に電気的に接続されるものである (第3のバス)。また、バス110は、ランダムアクセス可能な記憶手段であるRAM80に電気的に接続されるものである (第4のバス)。またバス99は、SPP-2コア84がハードウェアによりSPP-2を実現するためのヘッダ情報やページテーブル情報をリード・ライトするためのものである (第5のバス)。

【0067】

バッファマネージャ70の調停回路74は、DMAC40、42、44、CP

Uインターフェース60、DMAC86、54からのバスアクセス要求の調停を行う。そして、この調停結果に基づいて、各々、バス105、107、109、96、99、94のいずれかと、RAM80のバス110との間にデータの経路が確立される（第1、第2、第3、第5のバスのいずれかと第4のバスとの間にデータ経路が確立される）。

## 【0068】

本実施形態の1つの特徴は、ランダムアクセスが可能でありパケットを格納するRAM80を設けると共に、互いに分離されるバス90、95、99、100と、これらのバスをRAM80のバス110に接続するための調停回路74とを設けた点にある。

## 【0069】

このようにすることで図9に示すように、データ転送制御装置120、アプリケーション層のデバイス124間のバス90と、CPUバス96と、データ転送制御装置120、RAM80間のバス110とを分離できる。従って、CPUバス96をデータ転送の制御のみに使用できるようになる。また、バス90を占有して、データ転送制御装置120、アプリケーション層のデバイス124間でデータ転送を行うことができるようになる。例えば、データ転送制御装置120が組み込まれる電子機器がプリンタである場合には、バス90を占有して印字データを転送できるようになる。この結果、CPU66の処理負担を軽減でき、システム全体の実転送速度を高めることができる。またCPU66として安価なものを採用できると共に、CPUバス96として高速なバスを使用する必要性がなくなる。このため、電子機器の低コスト化、小規模化を図れるようになる。

## 【0070】

## 3. S B P-2コア（転送実行回路）の構成

図10に、図7のS B P-2コア84の構成例を示す。S B P-2コア84は、転送データを一連のパケットに自動的に分割し、分割された一連のパケットを連続転送するための回路であり、主に図4のA3、図5のB1に示すパケット転送をハードウェアにより実行する。

## 【0071】

メイン制御回路200は、S B P-2コア84の全体を制御するための回路であり、レジスタ202、204、206、208を含む。

【0072】

ここで、レジスタ202、204、206は、各々、データ転送（ハードウェアS B P-2処理）のスタートコマンド、ポーズコマンド、リジュームコマンドをファームウェア（C P U）が発行するためのレジスタである。即ち、ファームウェアがレジスタ202に1を書き込むと、転送データを一連のパケットに分割して連續転送する処理が開始する。そして、この転送処理中に、ファームウェアがレジスタ204に1を書き込むと、データ転送処理がポーズされ、レジスタ206に1を書き込むと、ポーズされていたデータ転送処理が再開される。

【0073】

レジスタ208は、ページテーブルの存在、不存在を設定するためのレジスタである。即ち、ファームウェアは、イニシエータからのO R Bを解析し、イニシエータのデータバッファにページテーブルが存在しないと判断した場合には、レジスタ208に1を書き込む。一方、存在すると判断した場合（図6（A）の場合）には、レジスタ208に0を書き込む。

【0074】

ページテーブルフェッチ回路210は、イニシエータ（相手ノード）のデータバッファ（記憶手段）にページテーブルが存在する場合に、そのページテーブルをイニシエータからフェッチするための処理を行う回路である。より具体的には、ページテーブルフェッチ回路210は、送信ヘッダ生成回路260にページテーブルのフェッチを指示し、フェッチが完了すると、ページテーブルアドレスやページテーブルサイズの更新をページテーブル生成回路220に指示する。

【0075】

ページテーブル生成回路220は、イニシエータのデータバッファにページテーブルが存在しない場合に、仮想的なページテーブルを生成する回路である。より具体的には、メイン制御回路200からページテーブルの生成が指示されると、所与のアルゴリズムにしたがってページテーブルを生成する。そして、生成されたページテーブルを、エレメント保持回路230やバッファインターフェース

290を介してRAMのHW用ページテーブル領域に書き込むための処理を行う。

【0076】

なお、ページテーブルが存在するか否かは、前述のように、レジスタ208の設定値に基づき判断される。また、ページテーブルフェッチ回路210、ページテーブル生成回路220によりフェッチ又は生成されたページテーブルは、RAMのHW用ページテーブル領域（図8のAR1）に格納される。

【0077】

ページテーブル生成回路220が含むレジスタ222には、イニシエータからのORBにより指定されたページ境界サイズが設定される。またレジスタ224、226には、ページテーブルが存在する場合には、ORBにより指定されたページテーブルアドレス、ページテーブルサイズ（エレメント数）が設定される（図6（B）参照）。一方、ページテーブルが存在しない場合には、転送データの先頭アドレスとデータ長が設定される（図6（C）参照）。またエレメントカウンタ228は、ページテーブルの生成の際に、ページテーブルのエレメント数（エレメントポインタ）をカウントする処理を行う。

【0078】

エレメント保持回路230は、SBP-2コアの処理対象となるページテーブルエレメントの情報を保持する回路であり、ページテーブルエレメントのセグメント長を保持するレジスタ232と、セグメントオフセットアドレスを保持するレジスタ234を含む。

【0079】

転送実行制御回路240は、SBP-2コアによるデータ転送（ストリーム転送）の実行を制御する回路であり、レジスタ242、244を含む。そして、レジスタ242は、現在処理中のページテーブルエレメントの番号を表示する。またレジスタ244には、データ転送を開始するページテーブルエレメントの番号が、ファームウェアにより設定される。これにより、ファームウェアは任意のページテーブルエレメントからのデータ転送を開始できるようになる。

【0080】

ペイロード分割回路250は、転送データを、ペイロードサイズのパケットに分割する処理を行う。ペイロード分割回路250が含むレジスタ252には、ORBにより指定された最大ペイロードサイズが設定される。またレジスタ254は、実際のペイロードサイズを表示する。ペイロード分割回路250は、RAMのHWページテーブル領域（図8のAR1）から読み出されてレジスタ232に保持されるページテーブルエレメントのセグメント長と、レジスタ252に設定された最大ペイロードサイズとに基づいて、ペイロード分割処理を行うことになる。

#### 【0081】

送信ヘッダ生成回路260は、ファームウェアにより設定されたスピードコードやデスティネーションIDなどに基づいて、図4のA3、図5のB1の各要求パケットのヘッダを生成する処理を行う。そして、生成されたヘッダは、RAMのHW用送信ヘッダ領域（図8のAR3）に格納される。このように本実施形態では、連續転送される一連の要求パケットのヘッダがハードウェアにより自動生成されるため、ファームウェアの処理負担を大幅に軽減できる。

#### 【0082】

トランザクション制御回路270は、リンクコアなどの外部の回路ブロックからのエラー情報やステータス情報を受け、トランザクションの実行のための種々の処理を行う。そして、トランザクションの実行が完了すると、トランザクション完了信号TCompをアクティブにして、ページテーブルフェッチ回路210やペイロード分割回路250に知らせる。このように本実施形態のSPP-2コアは、パケット単位ではなく、トランザクション単位でデータ転送処理を管理している。

#### 【0083】

スプリットタイマ280は、トランザクションの開始時にスプリットタイムをロードし、カウントダウンを開始する。そして、カウント値が0になったら、タイムアウトになったことをトランザクション制御回路270に伝える。

#### 【0084】

バッファインターフェース290は、図7のバッファマネージャ70とのイン

インターフェースとして機能する回路である。S B P-2コア84の各ブロックは、このバッファインターフェース290を介して、バッファマネージャ70に対してRAM80へのアクセスを要求することになる。

#### 【0085】

##### 3. 1 メイン制御回路

次に、メイン制御回路200の動作について図11のフローチャートを用いて説明する。

#### 【0086】

まず、HW用ページテーブル領域に既に格納されているページテーブルを使用するか否かを判断し（ステップS1）、使用する場合にはステップS5に、使用しない場合にはステップS2に移行する。既にHW用ページテーブル領域に格納されているページテーブルを使用するか否かの設定は、ファームウェアが所与のレジスタに所与の設定値を書き込むことで実現される。

#### 【0087】

次に、図10のレジスタ208の設定値に基づき、イニシエータのデータバッファにページテーブルが存在するか否かを判断する（ステップS2）。そして、存在する場合には、ページテーブルフェッチ回路210に対して、ページテーブルのフェッチ処理の開始を指示する（ステップS3）。一方、存在しない場合には、ページテーブル生成回路220に対して、ページテーブルの生成処理の開始を指示する（ステップS4）。

#### 【0088】

そして、ページテーブルのフェッチ又は生成処理が完了すると、転送実行制御回路240に対して、転送実行処理（ストリームデータタスク）の開始を指示する（ステップS5）。

#### 【0089】

なお、本実施形態のページテーブル生成回路220は以下に説明するような手法でページテーブルを生成する。

#### 【0090】

例えば図12に示すように、転送データの先頭アドレスSAがページ境界PB

0、PB1間にあり、終了アドレスEAがページ境界PB4、PB5間にあったとする。この場合に、ページテーブル生成回路220は、ページ境界PB1、PB4間（第K、第Lのページ境界間）のページテーブルのエレメント数が、1（広義には所定数）となる仮想的なページテーブルを生成する。

#### 【0091】

より具体的には、先頭アドレスSAとページ境界PB1間にX種のページテーブルエレメント（第1のページテーブルエレメント）になり、ページ境界PB1、PB4間にY種のページテーブルエレメント（第2のページテーブルエレメント）になり、ページ境界PB4と終了アドレスEA間にZ種のページテーブルエレメント（第3のページテーブルエレメント）になる3ページのページテーブルを生成する。

#### 【0092】

但し、転送データの先頭アドレスSAがページ境界PB1（第Kのページ境界）上にある場合には、X種のページテーブルエレメントは生成されず、2ページのページテーブルになる。また、転送データの終了アドレスEAがページ境界PB4（第Lのページ境界）上にある場合には、Z種のページテーブルエレメントは生成されず、2ページのページテーブルになる。更に、転送データの先頭アドレスSAがページ境界PB0、PB1間にあり、終了アドレスEAがページ境界PB0、PB1間又はPB1上にある場合には、SA、EA間にX種のページテーブルエレメントとなる1ページのページテーブルが生成される。

#### 【0093】

また本実施形態では、図10のペイロード分割回路250が、最大ペイロードサイズがページ境界サイズの約数となるペイロードサイズのパケットに、転送データを分割している。即ち図13において、最大ペイロードサイズMaxPLSがページ境界サイズPBSの約数となるようなパケット分割が行われる。

#### 【0094】

このように、最大ペイロードサイズMaxPLSをページ境界サイズPBSの約数にすれば、例えば図13のC1やC2に示すように、ページ境界PB2やPB3においてパケットのペイロードがページ境界をまたがないようになる。従つ

て、本実施形態のようにPB1、PB4間のページテーブルエレメント数が1となるようなページテーブルを生成した場合にも、ページ境界を越えないという制約を遵守しながらデータ転送を行えるようになる。

## 【0095】

## 3.2 転送実行（ストリームタスク）制御回路

次に、転送実行制御回路240の動作について図14のフローチャートを用いて説明する。

## 【0096】

まず、図10のカレントエレメント番号のレジスタ242に、レジスタ244のスタートエレメント番号をロードする（ステップS40）。そして、カレントエレメント番号のページテーブルエレメントを、RAMのHW用ページテーブル領域から読み出す処理を行う（ステップS41）。より具体的には、転送実行制御回路240は、処理対象となるページテーブルエレメントの読み出しをバッファインターフェース290に指示する。すると、バッファインターフェース290は、処理対象となるページテーブルエレメントをRAMのHW用ページテーブル領域から読み出し、ページテーブルエレメントのセグメント長をレジスタ232に、セグメントオフセットアドレスをレジスタ234に書き込む。

## 【0097】

次に、ペイロード分割回路250に対してペイロード分割処理の開始を指示する（ステップS42）。

## 【0098】

次に、現在のページテーブルエレメントの処理を終了したか否かを判断し（ステップS43）、終了していない場合にはステップS42に戻る。一方、終了した場合には、全てのページテーブルエレメントの処理を終了したか否かを判断すし（ステップS44）、終了していない場合には、カレントエレメント番号を+1して（ステップS45）、ステップS41に戻る。

## 【0099】

なお、全てのページテーブルエレメントの処理を終了したか否かは、レジスタ226のページテーブルサイズを8で除算することで得られるエレメント数と、

カレントエレメント番号とを比較することで判断する。

【0100】

3. 3 ペイロード分割回路

次に、ペイロード分割回路250の動作について図15のフローチャートを用いて説明する。ペイロード分割回路250は、図13に示すようにペイロードサイズのパケットに転送データを分割する処理を行うものである。

【0101】

まず、図10のレジスタ232に格納されるページテーブルエレメントのセグメント長の残りバイト数が、最大ペイロードサイズ以上になっているか否かを判断する（ステップS51）。そして、残りバイト数が最大ペイロードサイズ以上になっている場合には、パケットのペイロードサイズを最大ペイロードサイズに設定する（ステップS52）。一方、図13のC3やC4に示すように、残りバイト数が最大ペイロードサイズよりも小さくなっている場合には、パケットのペイロードサイズを残りバイト数に設定する（ステップS53）。

【0102】

ペイロードサイズの設定後、トランザクションの実行処理の開始（送信ヘッダの生成）を送信ヘッダ生成回路260に指示する（ステップS54）。そして、トランザクション制御回路270からの信号TCo mpによりトランザクションの完了が知らされると、エレメント保持回路230に対して、レジスタ232、234に格納されているページテーブルエレメントのセグメント長（残りバイト数）、セグメントオフセットアドレス（先頭アドレス）の更新を指示する（ステップS55）。

【0103】

次に、メイン制御回路200からの信号Pauseに基づいて、処理をポーズするか否かを判断する（ステップS56）。即ち、信号Pauseがアクティブになった場合には処理をポーズする。そしてポーズされた場合には、信号Pauseが非アクティブになったことを条件に、処理をレジュームする（ステップS57）。

【0104】

## 3.4 送信ヘッダ生成回路、トランザクション制御回路

次に、送信ヘッダ生成回路260、トランザクション制御回路270の動作について図16のフローチャートを用いて説明する。

## 【0105】

まず、要求パケットのヘッダを生成し、HW用送信ヘッダ領域（図8のA R 3）に書き込む（ステップS61）。より具体的には、図4のA3のようにイニシエータにデータを送信する場合には、ライト要求（ロックライト要求）パケットのヘッダをHW用送信ヘッダ領域に書き込む。一方、図5のB1のようにイニシエータからデータを受信する場合や、ページテーブルをフェッチする場合には、リード要求パケットのヘッダをHW用送信ヘッダ領域に書き込む。

## 【0106】

次に、転送のスタート信号（HWS t a r t）をアクティブにして転送の開始を指示し（ステップS62）、イニシエータからのACKの受信を待つ（ステップS63）。

## 【0107】

次に、送信パケットがリード要求パケットであった場合には、ACKペンディングか否かを判断し（ステップS65）、ACKペンディングでない場合にはステップS72に移行してエラーpoーズ状態にする。一方、ACKペンディングの場合には、スプリットタイマの起動を指示して（ステップS66）、応答パケットの受信を待つ（ステップS67）。

## 【0108】

次に、応答パケットの受信がパーフェクトであったか否かを判断し（ステップS68）、DCEの場合には再度応答パケットが受信されるのを待ち、パーフェクトの場合にはステップS69に移行し、その他の場合にはステップS72に移行してエラーpoーズ状態にする。そして、ステップS69に移行した場合にはスプリットタイマの停止を指示し、信号T C o m pをアクティブにして転送データのポインタを更新する（ステップS70）。

## 【0109】

一方、送信パケットがライト要求パケットであった場合には、まず、ACKペ

ンディングか否かを判断する（ステップS71）。そして、ACKペンドィングの場合にはステップS66に移行し、ACKコンプリートの場合にはステップS70に移行し、それ以外の場合にはステップS72に移行してエラーポーズ状態にする。

#### 【0110】

なお、ステップS72に移行して処理がエラーPOーズになった場合には、処理がレジュームされたことを条件に、ステップS62に移行する（ステップS73）。即ち、この場合には、HW用送信ヘッダ領域に既に書き込まれている送信ヘッダを再利用して、転送を再開することになる。

#### 【0111】

##### 4. データ転送のスタート（レジューム）コマンドの取り消し

以上のように本実施形態によれば、図4のA3や図5のB1に示す転送処理がハードウェアにより自動実行される。即ち、ファームウェアがパケットの連続転送のスタートを指示すると（図10のレジスタ202に1を書き込むと）、SBP-2コア84が、ページテーブルのフェッチ又は生成処理、ペイロード分割処理、送信ヘッダの生成処理、各パケットの転送スタート処理、エラー処理などをハードウェアにより自動実行して、一連のパケットを自動転送する。これにより、ファームウェアの処理負担を格段に軽減できるようになり、データ転送制御装置の実転送速度を大幅に向上できる。

#### 【0112】

しかしながら、IEEE1394においてはケーブルの抜き差しが行われると、バスリセット（広義にはノードのトポロジ情報をクリアするリセット）が発生する。そして、このケーブルの抜き差しは任意のタイミングで行われるため、CPU上で動作するファームウェア（処理手段）は、バスリセットの発生時期を予め予期することができない。従って、バスリセット発生後のバスリセット期間において、ファームウェアが、パケットを連続転送させるスタートコマンドを発行してしまう事態が生じる。そして、このような事態が生じると、本来はバスリセットにより無効になるべき多数のパケットの転送が開始されしまうなどの不具合が生じる。

## 【0113】

特に、この種のデータ転送制御装置が組み込まれる電子機器では、安価で低速なC P Uが使用される場合が多い。従って、割り込みなどを用いてバスリセットの発生をファームウェアに知らせても、データ転送が開始してからファームウェアがデータ転送の停止を指示するまでの間に長時間のタイムラグが生じてしまい、上記の不具合が更に深刻なものとなる。

## 【0114】

そこで本実施形態では、バスリセット期間中にファームウェアがデータ転送のスタートコマンド（或いはレジュームコマンド）を発行した場合には、そのコマンドの実行を取り消すと共に、バスリセットの発生によりコマンドの実行が取り消されたことをファームウェアに知らせるようにしている。以下、データ転送のスタートコマンドやレジュームコマンドの取り消し手法について具体的に説明する。

## 【0115】

図17に、図10のメイン制御回路200の構成例を示す。なお図17では、本発明と無関係な回路部分についてはその記載を省略している。

## 【0116】

D F F 1、D F F 6、D F F 1 0（Dフリップフロップ）は、各々、図10のレジスタ204、206、202に相当する。

## 【0117】

例えばC P Uが、データバス信号D I NのビットKを1として、ライトイネーブル信号WRを1（アクティブ）にすると、C P Uの動作クロックであるH C L Kの立ち上がりでD F F 1（ポーズのレジスタ204）に1が書き込まれる。そして、データ転送制御装置のシステムクロックであるS C L Kにより動作するD F F 2、D F F 3、D F F 4、D F F 5や、A N D 2により、1クロック（S C L K）幅の信号であるD e l a y e d P a u s eが生成される。

## 【0118】

また、D I NのビットLを1にしてWRを1にすると、D F F 6（レジュームのレジスタ206）に1が書き込まれ、D F F 7、D F F 8、D F F 9、A N D

5により、1クロック幅の信号Resuméが生成される。

【0119】

また、DINのビットMを1にしてWRを1にすると、DFF10（スタートのレジスタ202）に1が書き込まれ、DFF11、DFF12、DFF13、AND8により、1クロック幅の信号Startが生成される。

【0120】

取り消し回路300は、AND4、AND5、AND7、AND8を含む。

【0121】

ここでAND4、AND5には共に、DFF7の出力Q7の反転信号とDFF8の出力Q8とが入力される。但し、AND4にはバスリセット期間信号BRP periodがそのまま入力されるのに対して、AND5にはBRP periodの反転信号が入力される。このようにBRP periodの反転信号をAND5に入力することで、バスリセット期間中にCPU（ファームウェア）がレジュームコマンドを発行した場合に、そのコマンドの実行を取り消すことができる。

【0122】

またAND7、AND8には共に、DFF11の出力Q11の反転信号とDFF12の出力Q12が入力される。但し、AND7には、BRP periodがそのまま入力されるのに対してAND8にはBRP periodの反転信号が入力される。このようにBRP periodの反転信号をAND8に入力することで、バスリセット期間中にCPUがスタートコマンドを発行した場合に、そのコマンドの実行を取り消すことができる。

【0123】

AND4、AND7の出力であるCancel11、Cancel12は、OR1に入力される。そして、OR1の出力であるINTBRCは、図7のCPUインターフェース60が含む割り込みコントローラ64に入力される。

【0124】

BRP period = 1となるバスリセット期間中に、CPUがレジュームコマンド又はスタートコマンドを発行すると、Cancel11又はCancel12が1になる。これにより、INTBRCが1になり、割り込みコントローラ64を

介してCPUに対して割り込みが発生する。するとCPUが要因レジスタ65を読みに行き、割り込み要因を解析する。これにより、バスリセットの発生によりコマンドが取り消されたことが、CPU(ファームウェア)に知らされることになる。

#### 【0125】

スタート制御回路310は、データ転送のスタートを制御する回路であり、信号Start、FromStream、FetchDone、MakeDone、StreamDoneが入力される。また、信号StartFetch、StartMake、StartStreamを出力する。

#### 【0126】

ここでStartは、前述のように、CPU(ファームウェア)がデータ転送のスタートコマンドをアクティブにした場合に1になる信号である。

#### 【0127】

またFromStreamは、ページテーブルのフェッチや生成を行わずにストリーム転送(図4のA3、図5のB1に示す転送)から処理をスタートする場合に1になる信号である。

#### 【0128】

またStartFetch、StartMake、StartStreamは、各々、図10のページテーブルフェッチ回路210、ページテーブル生成回路220、転送実行制御回路240に対して、ページテーブルのフェッチ、ページテーブルの生成、ストリームの転送の開始を指示する場合に1になる信号である。

#### 【0129】

また、FetchDone、MakeDone、StreamDoneは、各々、ページテーブルのフェッチ、ページテーブルの生成、ストリームの転送が完了した場合に1になる信号である。

#### 【0130】

またExecは、データ転送の実行中に1になる信号である。

#### 【0131】

ポーズ制御回路320は、データ転送のポーズを制御する回路であり、信号Delayed Pause、Resume、Exec、Errが入力され、信号Pauseを出力する。

【0132】

ここでDelayed Pause、Resumeは、前述のように、CPUがデータ転送のポーズコマンド、レジュームコマンドを発行した場合に1になる信号である。但し、Delayed PauseはResumeよりも1クロック(SCLK)分だけ遅延した信号になっている。

【0133】

またErrは、データ転送にエラーが生じた場合などに1になる信号である。

【0134】

またPauseは、図15のステップS56で説明したように、データ転送をポーズする場合に1になる信号である。

【0135】

次にスタート制御回路310の動作について図18の状態遷移図を用いて説明する。

【0136】

まず、状態S00ではComp(完了信号)=0、Exec=0になっている。そして、Start=1且つFromStream=0になると、次のクロックで状態S01に移行する。そして状態S01ではExec=1にする。また、ページテーブルが存在する場合はStartFetch=1にし、ページテーブルが存在しない場合はStartMake=1にする。これによりページテーブルのフェッチ又は生成が開始する。そして、次のクロックで状態S02に移行し、StartFetch=0、StartMake=0に戻す。

【0137】

なお状態S00において、Start=1且つFromStream=1になると、次のクロックで状態S04に移行し、ページテーブルのフェッチや生成の処理が省略される。

【0138】

状態S02では、FetchDone=1且つMakeDone=1になると、次のクロックで状態S03に移行する。そして、Pause=1であれば状態S03にとどまる。このように本実施形態では、Pause=1になると、ページテーブルのフェッチ又は生成の完了後に転送処理がポーズされる。

#### 【0139】

一方、Pause=0になると状態S04に移行して、StartStream=1になり、ストリーム転送がスタートする。そして、次のクロックでStartStream=0に戻す（状態S05）。そして、ストリーム転送が完了してStreamDone=1になると、完了信号Comp=1にする（状態S06）。

#### 【0140】

次にポーズ制御回路320の動作について図19の状態遷移図を用いて説明する。

#### 【0141】

状態S10ではPause=0になっている。そして、DelayedPause=1且つExec=1になると、次のクロックで状態S11に移行し、Pause=1になる。これにより転送処理がポーズされる。そして、Resume=1且つErr=0（或いはExec=0）になると、Pause=0に戻る。これにより、ポーズされていた転送処理がレジュームされるようになる。

#### 【0142】

図20に、図17のメイン制御回路の動作を説明するためのタイミング波形図を示す。

#### 【0143】

図20において、BRDetectはバスリセットを検出した場合に1になる信号である。またSelfIDEndは、バスリセット発生後に行われる自己識別処理が終了した場合に1になる信号である。そして、バスリセット期間信号BRPeriodは、BRDetectの立ち下がりで1になり、SelfIDEndの立ち下がりで0になる。従って、BRPeriod=1となる期間がバスリセット期間になる。

## 【0144】

例えば図20のE1では、BRPeriod=0になっており、バスリセット期間になつていない。そして、この場合には、CPUがスタート（レジューム）コマンドを発行し、E2に示すようにDINのビットM（L）とWRが1になると、E3に示すように信号Start（Resume）が1になる。これにより、データ転送がスタート（レジューム）する。

## 【0145】

一方、図20のE4では、BRPeriod=1になっており、バスリセット期間になつてゐる。そして、この場合には、CPUがスタート（レジューム）コマンドを発行し、E5に示すようにDINのビットM（L）とWRが1になっても、E6に示すように信号Start（Resume）は0のまゝとなる。従つて、CPUの発行したスタート（レジューム）コマンドは取り消される。即ち、図17のAND5、AND8に、BRPeriodの反転信号（=0）が入力されることにより、Q8、Q12の信号パルスがマスクされ、AND5、AND8の出力Q8'、Q12'が0に固定される。これにより、信号Start（Resume）も0に固定され、データ転送のスタート（レジューム）が取り消される。

## 【0146】

また、この時、AND4、AND7には、反転信号ではなくてBRPeriodそのものが入力されている。従つて、スタート（レジューム）コマンドが発行されてQ8、Q12に信号パルスが発生すると、Cancel1、Cancel2が1になり、図20のE7に示すようにINTBRCが1になる。これにより、スタート（レジューム）コマンドが取り消されたことが、割り込み回路64を介してCPUに知らされるようになる。

## 【0147】

以上のように本実施形態によれば、バスリセット期間にスタート（レジューム）コマンドが発行されても、そのコマンドが取り消される。従つて、CPUはスタートコマンドを発行したつもりであつても、実際のデータ転送は行われないようになる。

## 【0148】

即ち、バスリセットの発生後に転送開始が指示されたパケットは、本来無効となるべきパケットである。しかしながら、本実施形態のデータ転送制御装置では、スタートコマンドが発行されると、図4のA3、図5のB1に示す一連のパケットがハードウェアにより自動的に連續転送されてしまう。そして、このパケット転送は、CPUが転送を停止しない限り続けられることになる。従って、無効な多数のパケットが転送されてしまったり、リンクコアなどの他の回路ブロックの誤動作を招いたり、CPUの処理を混乱させたりするなどの不具合が生じる可能性がある。本実施形態によれば、CPUが発行したスタートコマンドは即座に取り消されるため、このような不具合を解消できる。

## 【0149】

例えば、本実施形態と異なる手法として以下のような手法も考えられる。即ち、バスリセット期間中にスタートコマンドが発行されても、そのコマンドを取り消さずに、割り込みだけを発生させる。そして、この割り込みによりバスリセットの発生を知らされたCPUが、例えば図10のレジスタ204に1を書き込み、パケット転送をポーズする。

## 【0150】

しかしながら、この手法では、スタートコマンドの発行後、CPUがレジスタ204に1を書き込み、転送処理をポーズするまでの間に、非常に多数のパケットが転送されしまう不具合が生じる。特に、この種のデータ転送制御装置が組み込まれる電子機器には、安価で低速なCPUが使用される場合が多い。そして、このような低速なCPUが使用されると、スタートコマンドの発行後、転送処理をポーズするまでの期間が長時間になってしまい、上記不具合が更に深刻なものとなる。

## 【0151】

本実施形態によれば、バスリセット期間中にCPUが発行したスタートコマンドは即座に取り消され、データ転送は開始されないため、結局、パケットは1つも転送されないことになる。そして、取り消し後に事後承認的に、コマンドを取り消したことが、割り込みを用いてCPUに知らされる。従って、CPUの速度

に依存せずに、上記のような不具合を確実に防止できるようになる。

#### 【0152】

なお、バスリセットの発生時期は任意であるため、CPUがスタートコマンドを発行した後にバスリセットが発生する場合もある。そして、バスリセット発行後のパケット（トランザクション）は無効となるため、スタートコマンド発行後にバスリセットが発生した場合には、転送処理を一時中断する必要がある。

#### 【0153】

このような場合に本実施形態では、CPUが図10のレジスタ204（図17のDFF1）に1を書き込むことで、転送処理をポーズできるという特徴がある。そして、無効なパケット（バスリセット発生後のパケット）と無効でないパケット（バスリセット発生前のパケット）を区別する処理などを行った後に、図10のレジスタ206（図17のDFF6）に1を書き込むことで、転送処理をリジュームすることもできる。

#### 【0154】

なお、この場合に本実施形態では、転送処理をポーズする場所が予め定められている（例えば図15のステップS56、図16のステップS72、図18の状態S03）。例えば任意の場所でポーズできるようにすると、回路構成が複雑化するなどの問題が生じるが、ポーズ場所を予め定めておけば、回路構成を簡素化できる。そして、情報を更新した後（図15のステップS56）や、データ転送の開始前（図16のステップS72）や、ページテーブルのフェッチや生成の完了後（図18の状態S03）などのように、区切りの良い場所で転送処理をポーズするようにすれば、動作の安定化、バグの発生防止などを図れるようになる。

#### 【0155】

##### 5. ステップ実行

さて、図17の回路では、転送処理のステップ実行も可能になっている。即ちCPUがリジュームコマンドとポーズコマンドを同時に発行すると、転送処理がステップ実行される。

#### 【0156】

例えば図21のF1では、データバス信号DINのビットKとWRが1になつ

ている。そして、この場合には、F2に示すように、Delayed Pauseのみが1になり、転送処理がポーズする。

【0157】

一方、図21のF3では、DINのビットK及びLの双方とWRが1になっている。そして、この場合には、F4に示すようにResumeが1になり、その後に1クロックだけ遅延してDelayed Pauseが1になる。そして、これらの信号Resume、Delayed Pauseがポーズ制御回路320に入力されることで、転送処理のステップ実行が実現される。

【0158】

例えば図22では、CPUがスタートコマンドを発行すると、G1に示すようにStartが1になる。これによりG2に示すようにExec=1になり（図18の状態S01）、転送処理がスタートする。

【0159】

次に、CPUがポーズコマンドを発行して、G3に示すようにDelayed Pauseが1（アクティブ）になると、G4に示すようにPause=1になる（図19の状態S11）。これにより、予め定められたポーズ場所（例えば図15のステップS56、図18の状態S03）で転送処理がポーズする。

【0160】

次に、CPUがレジュームコマンドを発行して、G5に示すようにResumeが1（アクティブ）になると、G6に示すようにPause=0になり（図19の状態S10）、転送処理がレジュームする。そして、CPUがポーズコマンドを発行して、G7に示すようにDelayed Pauseが1になると、転送処理が再度ポーズする。

【0161】

次に、CPUがポーズコマンドとレジュームコマンドの両方を同時に発行し、前述の図21のF3のようにDINのビットK及びLの双方とWRが1になると、図22のG8に示すようにResumeが1になった後に1クロックだけ遅延してDelayed Pauseが1になる。これによりPauseは、G10に示すように1から0に変化して、1クロック期間だけ0になった後に、G11に

示すように1に戻る。従って、1クロック期間だけ転送処理が実行された後に、次にポーズできる場所で転送処理がポーズする。即ち、転送処理のステップ実行が実現される。

#### 【0162】

以上のようなステップ実行が可能になると、パケットを1つずつ転送する処理が可能になる。即ち、図15のペイロード分割の時にCPUがポーズコマンドとレジュームコマンドを同時に発行すると、まず、信号Pause=0になるとことで、ステップS57で転送処理がレジュームされる。そして、その後、Pause=1になると、図14のステップS43、図15のステップS51～S55の処理が行われペイロードサイズの1つのパケットが転送され、その後に転送処理がポーズされる（ステップS56）。そして、再度、CPUがポーズコマンドとレジュームコマンドを同時に発行すると、次のパケットが転送され、その後に転送処理がポーズされる。このようにパケットを1つずつ転送するステップ実行が可能になることで、SBP-2コアの回路やファームウェアのデバッグ等が可能になる。

#### 【0163】

例えば、本実施形態と異なる手法として、まず、CPUがレジュームコマンドを発行してパケットを転送し、次のライトサイクルでCPUがポーズコマンドを発行して、パケットの転送をポーズする手法も考えることができる。しかしながら、図21から明らかなように、CPUの動作速度は一般的に遅く、CPUのライトサイクルは長い。従って、上記手法では、CPUがレジュームコマンドを発行した後、ポーズコマンドを発行するまでの間に、複数のパケットが転送されてしまうことになる。即ち、パケットを1つずつ転送するステップ実行を実現できない。

#### 【0164】

これに対して本実施形態では、単に図17のdff5を1つ追加してDelayedPauseをResumeよりも1クロック期間だけ遅延させるという簡単な手法で、パケットを1つずつ転送するステップ実行の実現に成功している。

#### 【0165】

## 6. 電子機器

次に、本実施形態のデータ転送制御装置を含む電子機器の例について説明する

## 【0166】

例えば図23 (A) に電子機器の1つであるプリンタの内部ブロック図を示し、図24 (A) にその外観図を示す。CPU (マイクロコンピュータ) 510はシステム全体の制御などを行う。操作部511はプリンタをユーザが操作するためのものである。ROM516には、制御プログラム、フォントなどが格納され、RAM518はCPU510のワーク領域として機能する。表示パネル519はプリンタの動作状態をユーザに知らせるためのものである。

## 【0167】

PHYデバイス502、データ転送制御装置500を介して、パーソナルコンピュータなどの他のノードから送られてきた印字データは、バス504を介して印字処理部512に直接送られる。そして、印字データは、印字処理部512にて所与の処理が施され、プリントヘッダなどからなる印字部 (データを出力するための装置) 514により紙に印字されて出力される。

## 【0168】

図23 (B) に電子機器の1つであるスキャナの内部ブロック図を示し、図24 (B) にその外観図を示す。CPU520はシステム全体の制御などを行う。操作部521はスキャナをユーザが操作するためのものである。ROM526には制御プログラムなどが格納され、RAM528はCPU520のワーク領域として機能する。

## 【0169】

光源、光電変換器などからなる画像読み取り部 (データを取り込むための装置) 522により原稿の画像が読み取られ、読み取られた画像のデータは画像処理部524により処理される。そして、処理後の画像データがバス505を介してデータ転送制御装置500に直接送られる。データ転送制御装置500は、この画像データにヘッダなどを付加することでパケットを生成し、PHYデバイス502を介してパーソナルコンピュータなどの他のノードに送信する。

## 【0170】

図23 (C) に電子機器の1つであるCD-RWドライブの内部ブロック図を示し、図24 (C) にその外観図を示す。CPU530はシステム全体の制御などを行う。操作部531はCD-RWをユーザが操作するためのものである。ROM536には制御プログラムなどが格納され、RAM538はCPU530のワーク領域として機能する。

## 【0171】

レーザ、モータ、光学系などからなる読み取り&書き込み部（データを取り込むための装置又はデータを記憶するための装置）533によりCD-RW532から読み取られたデータは、信号処理部534に入力され、エラー訂正処理などの所与の信号処理が施される。そして、信号処理が施されたデータが、バス506を介してデータ転送制御装置500に直接送られる。データ転送制御装置500は、このデータにヘッダなどを付加することでパケットを生成し、PHYデバイス502を介してパーソナルコンピュータなどの他のノードに送信する。

## 【0172】

一方、PHYデバイス502、データ転送制御装置500を介して、他のノードから送られてきたデータは、バス506を介して信号処理部534に直接送られる。そして、信号処理部534によりこのデータに所与の信号処理が施され、読み取り&書き込み部533によりCD-RW532に記憶される。

## 【0173】

なお、図23 (A)、(B)、(C)において、CPU510、520、530の他に、データ転送制御装置500でのデータ転送制御のためのCPUを別に設けるようにしてもよい。

## 【0174】

また、図23 (A)、(B)、(C) ではRAM501（図7のRAM80に相当）がデータ転送制御装置500の外部に設けられているが、RAM501をデータ転送制御装置500に内蔵させてもよい。

## 【0175】

本実施形態のデータ転送制御装置を電子機器に用いることで、高速なデータ転

送が可能になる。従って、ユーザがパーソナルコンピュータなどによりプリントアウトの指示を行った場合に、少ないタイムラグで印字が完了するようになる。また、スキャナへの画像取り込みの指示の後に、少ないタイムラグで読み取り画像をユーザは見ることができるようになる。また、CD-RWからのデータの読み取りや、CD-RWへのデータの書き込みを高速に行うことができるようになる。更に、例えば1つのホストシステムに複数の電子機器を接続して利用したり、複数のホストシステムに複数の電子機器を接続して利用したりすることも容易になる。

#### 【0176】

また本実施形態のデータ転送制御装置を電子機器に用いることで、CPU上で動作するファームウェアの処理負担が軽減され、安価なCPUや低速のバスを用いることが可能になる。更に、データ転送制御装置の低コスト化、小規模化を図れるため、電子機器の低コスト化、小規模化も図れるようになる。

#### 【0177】

また、バスに新たな電子機器が接続され、バスリセットが発生した場合にも、バスリセットを原因とする不具合の発生が防止され、電子機器の安定した動作を保証できるようになる。

#### 【0178】

なお本実施形態のデータ転送制御装置を適用できる電子機器としては、上記以外にも例えば、種々の光ディスクドライブ（CD-ROM、DVD）、光磁気ディスクドライブ（MO）、ハードディスクドライブ、TV、VTR、ビデオカメラ、オーディオ機器、電話機、プロジェクタ、パーソナルコンピュータ、電子手帳、ワードプロセッサなど種々のものを考えることができる。

#### 【0179】

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

#### 【0180】

例えば、本発明のデータ転送制御装置の構成は、図7に示す構成が特に望ましいが、これに限定されるものではない。

【0181】

また、転送実行回路（S B P-2コア）の構成も図10に示す構成が特に望ましいが、これに限定されるものではない。

【0182】

また、転送処理のスタート、ポーズ、レジュームの手法も、本実施形態で説明した手法に限定されない。

【0183】

また、スタート手段、ポーズ手段、レジューム手段、取り消し手段の構成も、図17で例示したものが特に望ましいが、これに限定されるものではない。

【0184】

また、コマンドの実行が取り消されたことを処理手段に知らせる手法は、図17のように割り込みを用いるのが特に望ましいが、これに限定されるものではない。

【0185】

また、本発明はIEEE1394におけるバスリセットに特に有用だが、これ以外にも、少なくともノードのトポロジー情報をクリアするようなリセットであれば適用できる。

【0186】

また、本発明は、IEEE1394規格でのデータ転送に適用されることが特に望ましいが、これに限定されるものではない。例えばIEEE1394と同様の思想に基づく規格やIEEE1394を発展させた規格におけるデータ転送にも本発明は適用できる。

【図面の簡単な説明】

【図1】

IEEE1394の層構造について示す図である。

【図2】

S B P-2について説明するための図である。

【図3】

S B P-2のデータ転送処理の概略について説明するための図である。

【図4】

データ（ストリーム）をターゲットからイニシエータに転送する場合のコマンド処理について説明するための図である。

【図5】

データ（ストリーム）をイニシエータからターゲットに転送する場合のコマンド処理について説明するための図である。

【図6】

図6（A）、（B）、（C）は、ページテーブルについて説明するための図である。

【図7】

本実施形態のデータ転送制御装置の構成例を示す図である。

【図8】

RAM（パケット記憶手段）の分離（分割）手法について説明するための図である。

【図9】

本実施形態のデータ転送の手法について説明するための図である。

【図10】

S B P-2コア（転送実行回路）の構成例を示す図である。

【図11】

メイン制御回路の動作を説明するためのフローチャートである。

【図12】

ページテーブルの生成手法について説明するための図である。

【図13】

パケットのペイロード分割手法について説明するための図である。

【図14】

転送実行制御回路の動作を説明するためのフローチャートである。

【図15】

ペイロード分割回路の動作を説明するためのフローチャートである。

【図16】

送信ヘッダ生成回路、トランザクション制御回路の動作について説明するためのフローチャートである。

【図17】

メイン制御回路の構成例を示す図である。

【図18】

スタート制御回路の動作を説明するための状態遷移図である。

【図19】

ポーズ制御回路の動作を説明するための状態遷移図である。

【図20】

バスリセット期間に発行されたコマンドを取り消す手法について説明するためのタイミング波形図である。

【図21】

転送処理のステップ実行について説明するためのタイミング波形図である。

【図22】

転送処理のステップ実行について説明するためのタイミング波形図である。

【図23】

図23 (A)、(B)、(C) は、種々の電子機器の内部ブロック図の例である。

【図24】

図24 (A)、(B)、(C) は、種々の電子機器の外観図の例である。

【符号の説明】

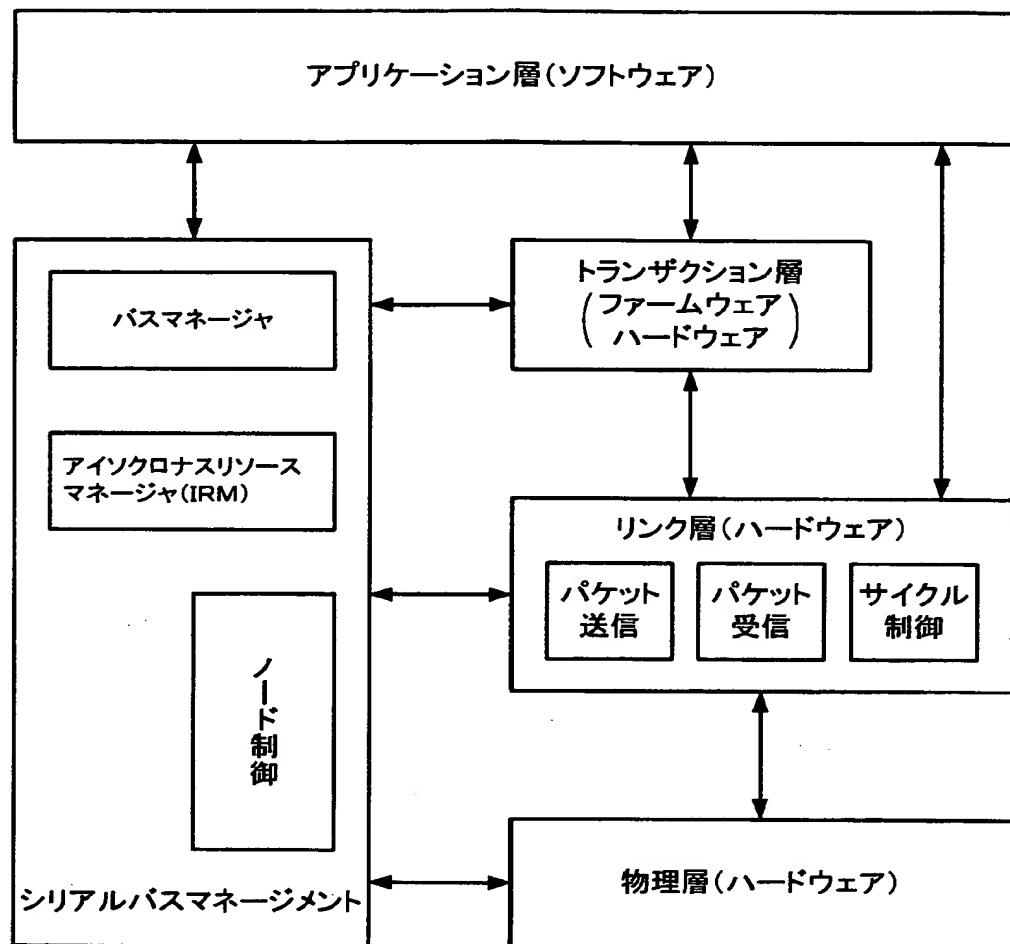
- 10 PHYインターフェース
- 20 リンクコア
- 22 レジスタ
- 30 FIFO (ATF)
- 32 FIFO (ITF)
- 34 FIFO (RF)
- 40 DMAC (ATF用)
- 42 DMAC (ITF用)

4 4 D M A C (R F用)  
4 6 レジスタ  
5 0 ポートインターフェース  
5 2 F I F O (P F)  
5 4 D M A C (P F用)  
5 6 レジスタ  
6 0 C P U インターフェース  
6 2 アドレスデコーダ  
6 3 データ同期化回路  
6 4 割り込みコントローラ  
6 5 要因レジスタ  
6 6 C P U  
6 8 クロック制御回路  
7 0 バッファマネージャ  
7 2 レジスタ  
7 4 調停回路  
7 6 シーケンサ  
8 0 R A M (パケット記憶手段)  
8 4 S B P-2コア (転送実行回路)  
8 6 D A M A C (S B P-2用)  
9 0、9 2、9 4 バス (第1のバス)  
9 5、9 6 バス (第2のバス)  
9 9 バス (第5のバス)  
1 0 0、1 0 2、1 0 4、1 0 5、  
1 0 6、1 0 7、1 0 8、1 0 9 バス (第3のバス)  
1 1 0 バス (第4のバス)  
1 2 0 データ転送制御装置  
1 2 2 P H Y デバイス  
1 2 3 相手ノード

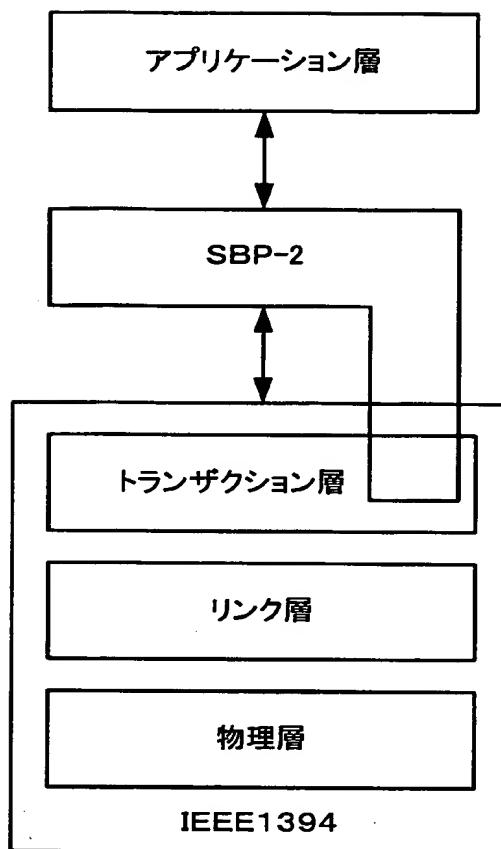
124 アプリケーション層のデバイス  
200 メイン制御回路  
202、204、206、208 レジスタ  
210 ページテーブルフェッチ回路  
220 ページテーブル生成回路  
222、224、226 レジスタ  
228 エレメントカウンタ  
230 エレメント保持回路  
232、234 レジスタ  
240 転送実行（ストリームタスク）制御回路  
242、244 レジスタ  
250 ペイロード分割回路  
252、254 レジスタ  
260 送信ヘッダ生成回路  
270 トランザクション制御回路  
280 スプリットタイマ  
290 バッファインターフェース  
300 取り消し回路  
310 スタート制御回路  
320 ポーズ制御回路

【書類名】 図面

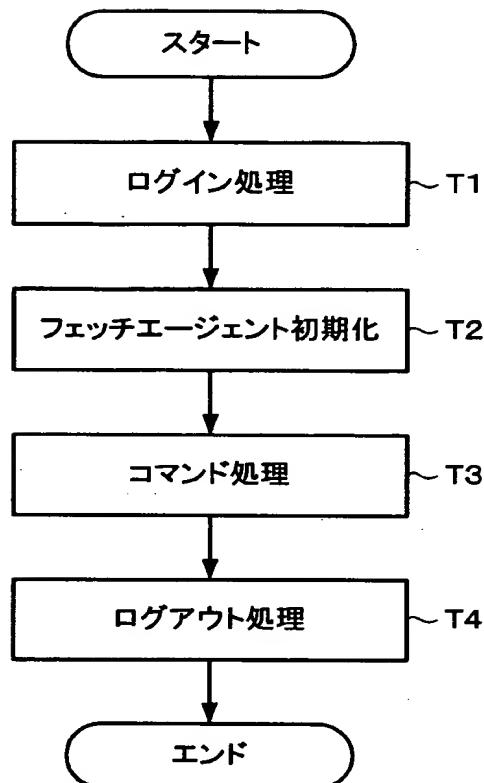
【図1】



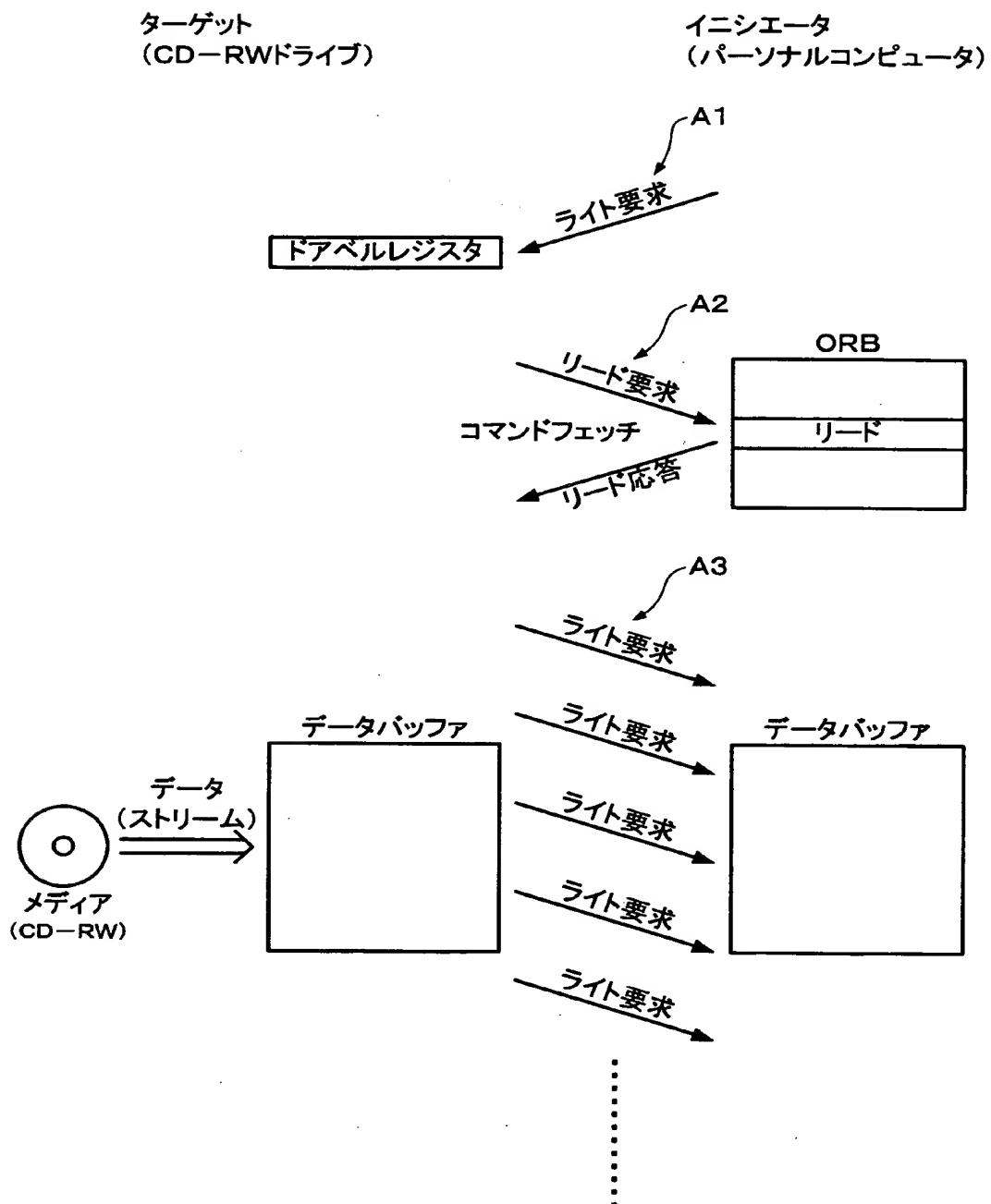
【図2】



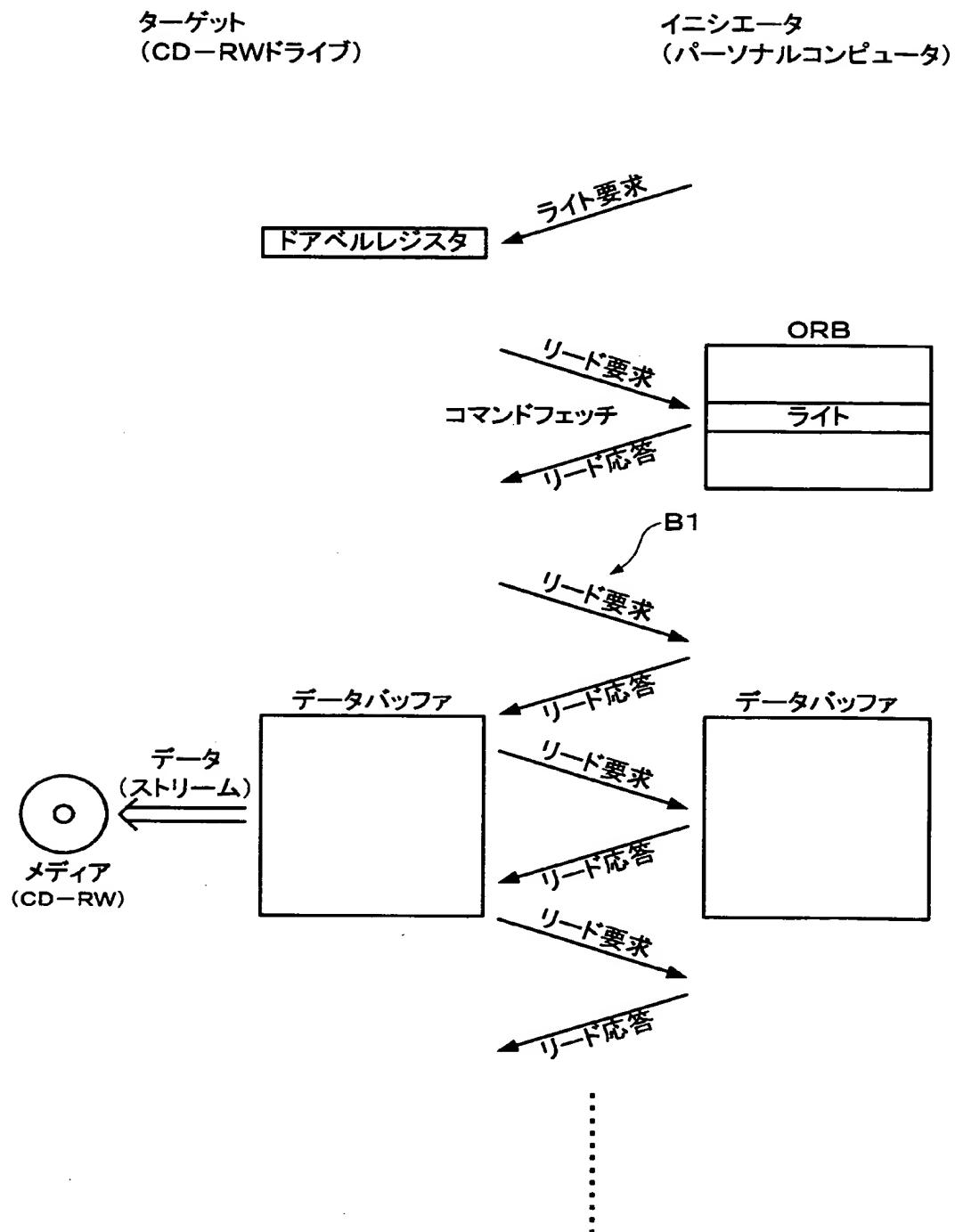
【図3】



【図4】

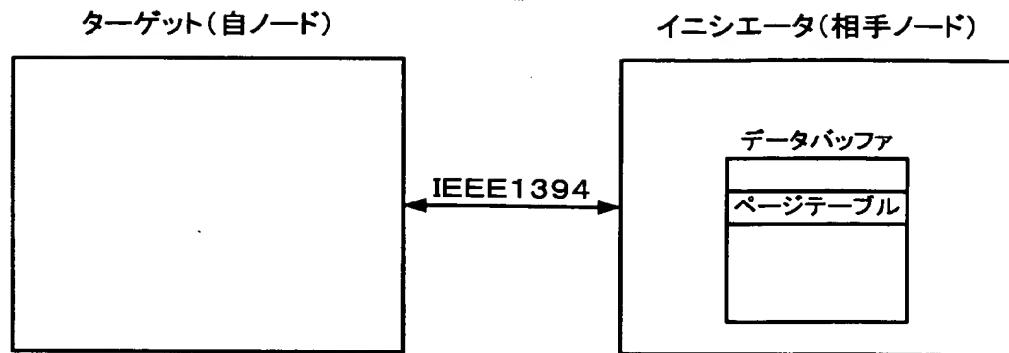


【図5】

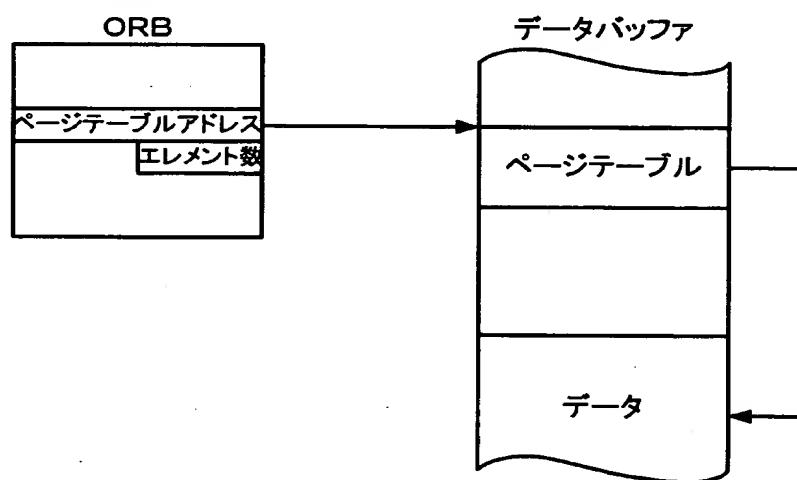


【図6】

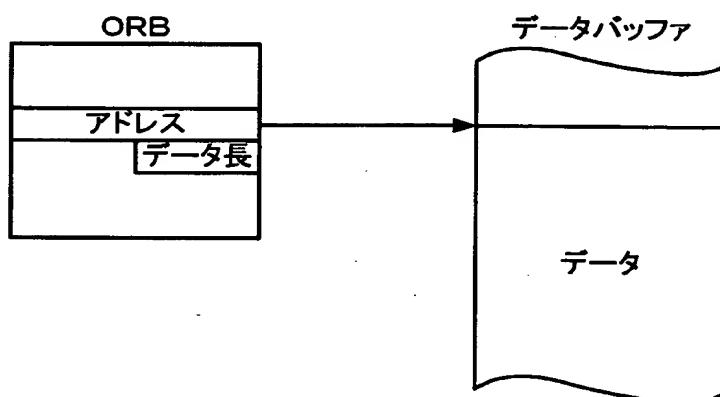
(A)



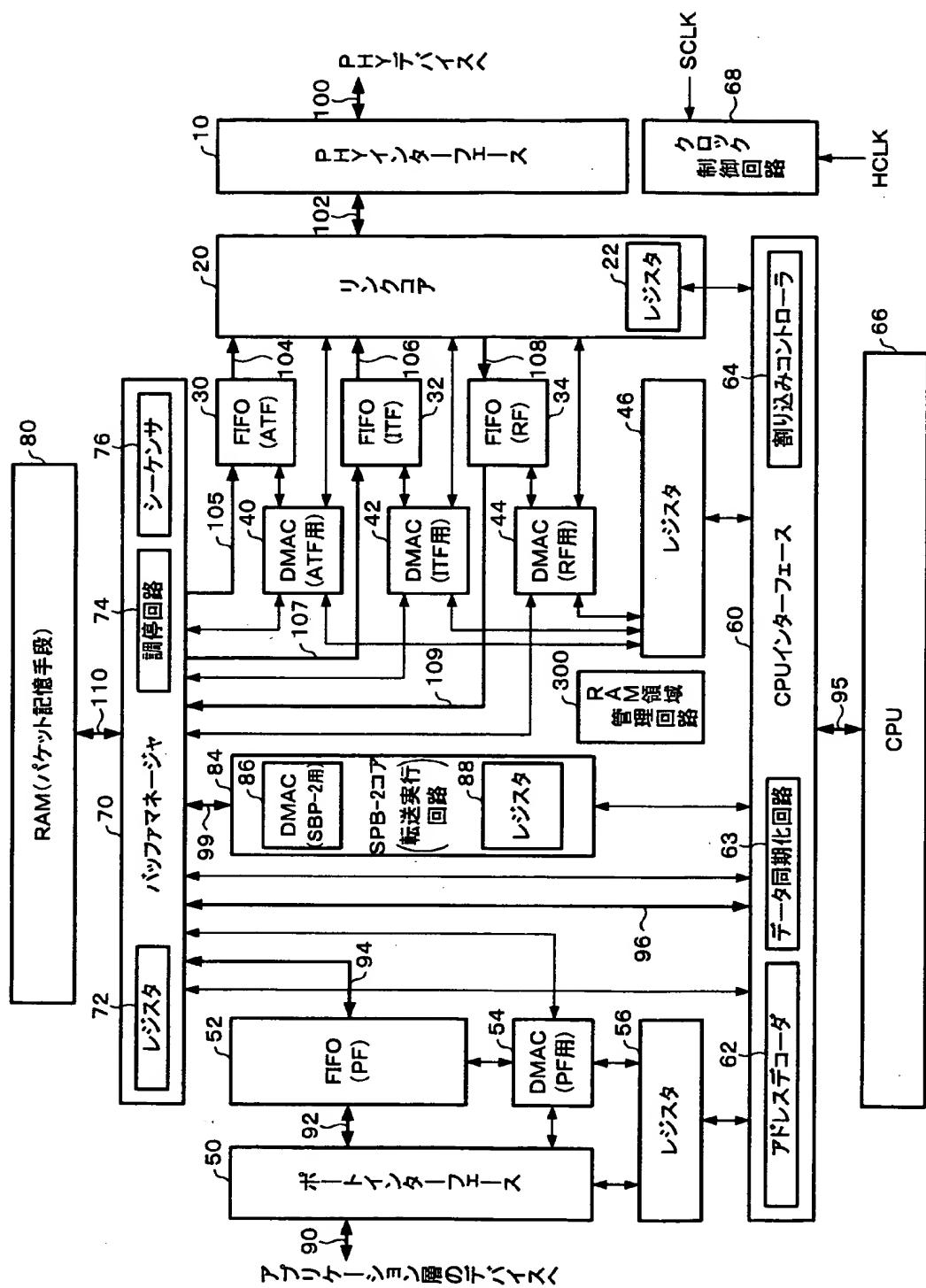
(B) ページテーブル存在時



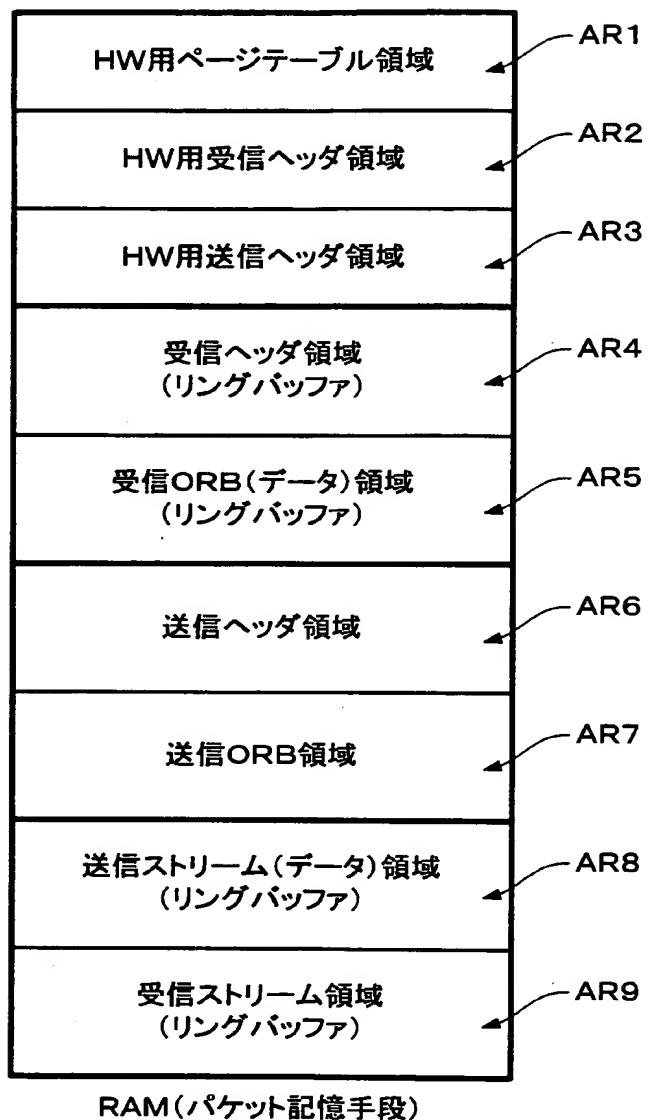
(C) ページテーブル不存在時



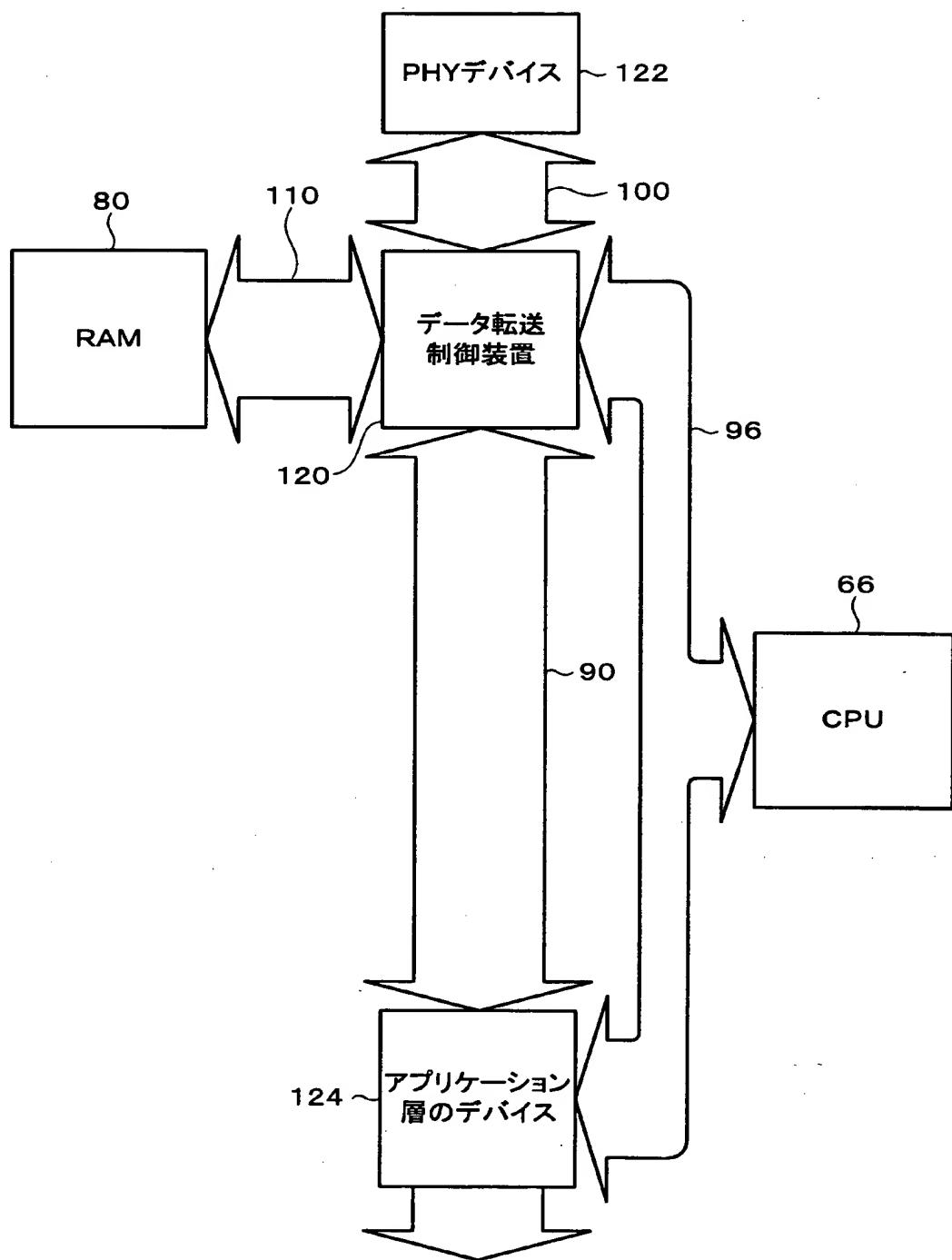
【図7】



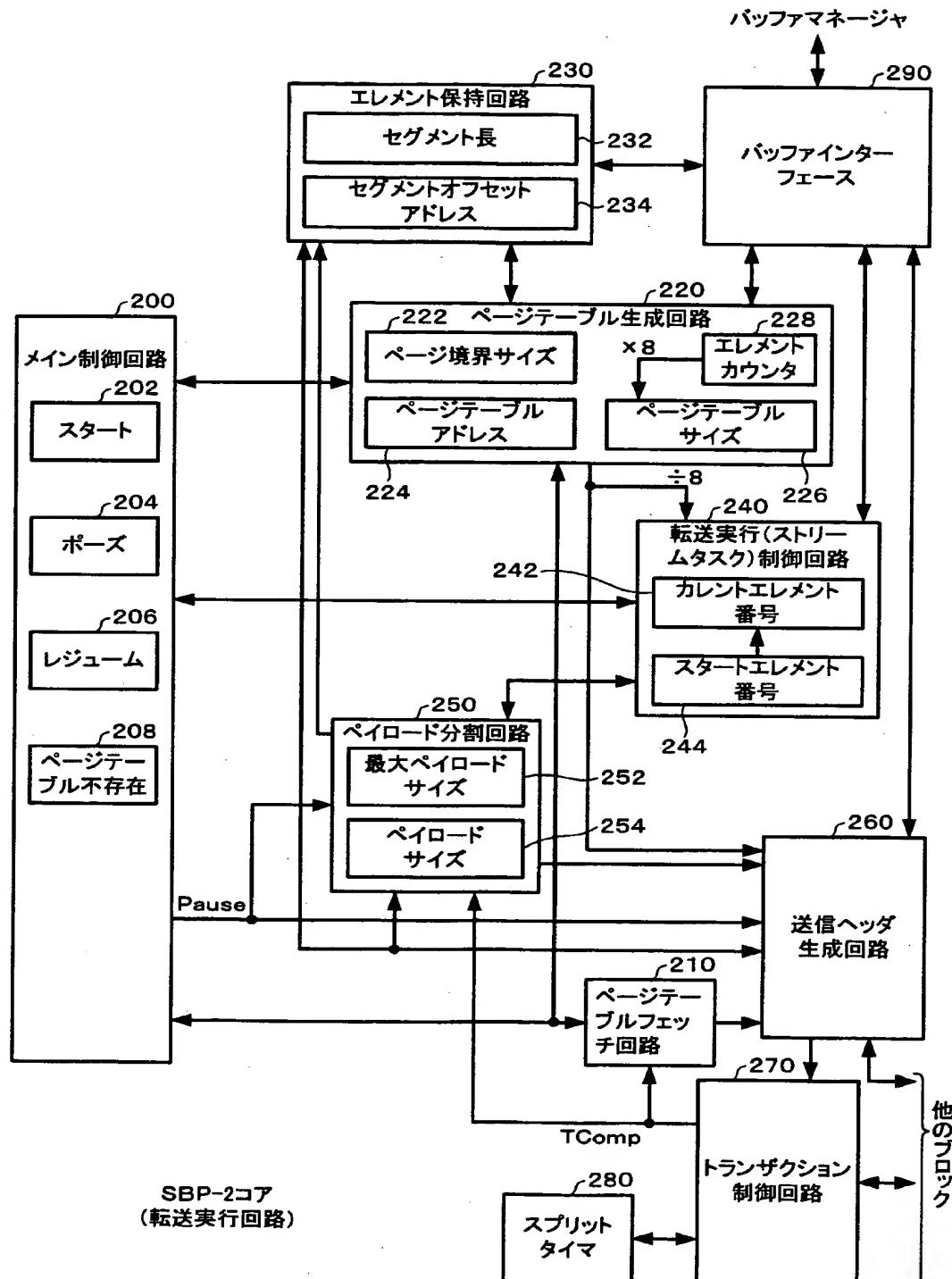
【図8】



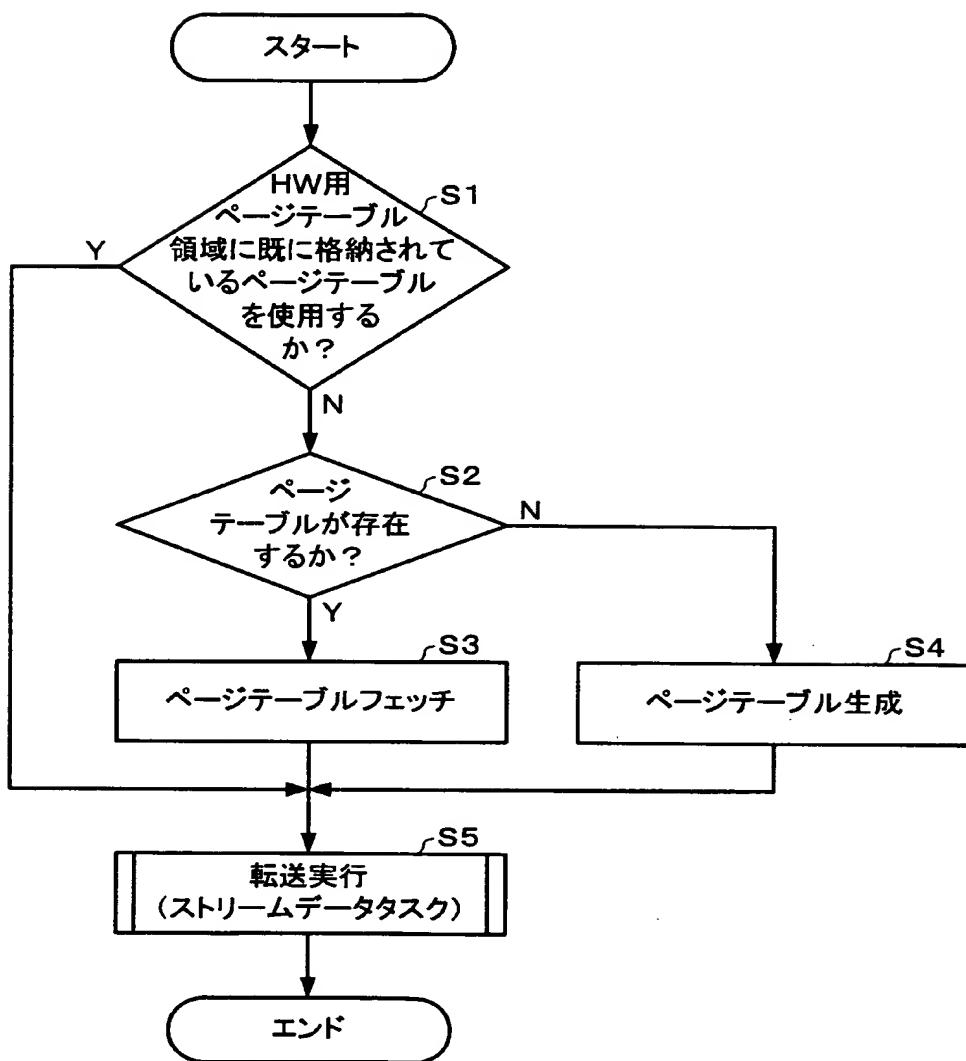
【図9】



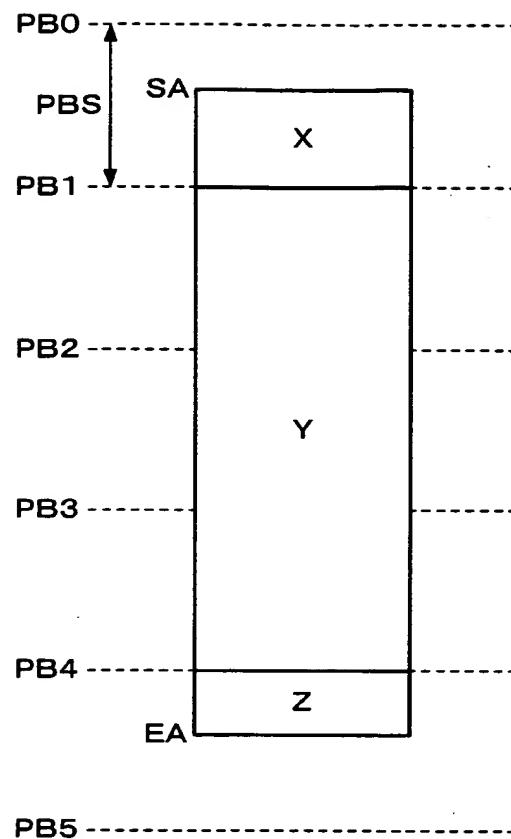
【図10】



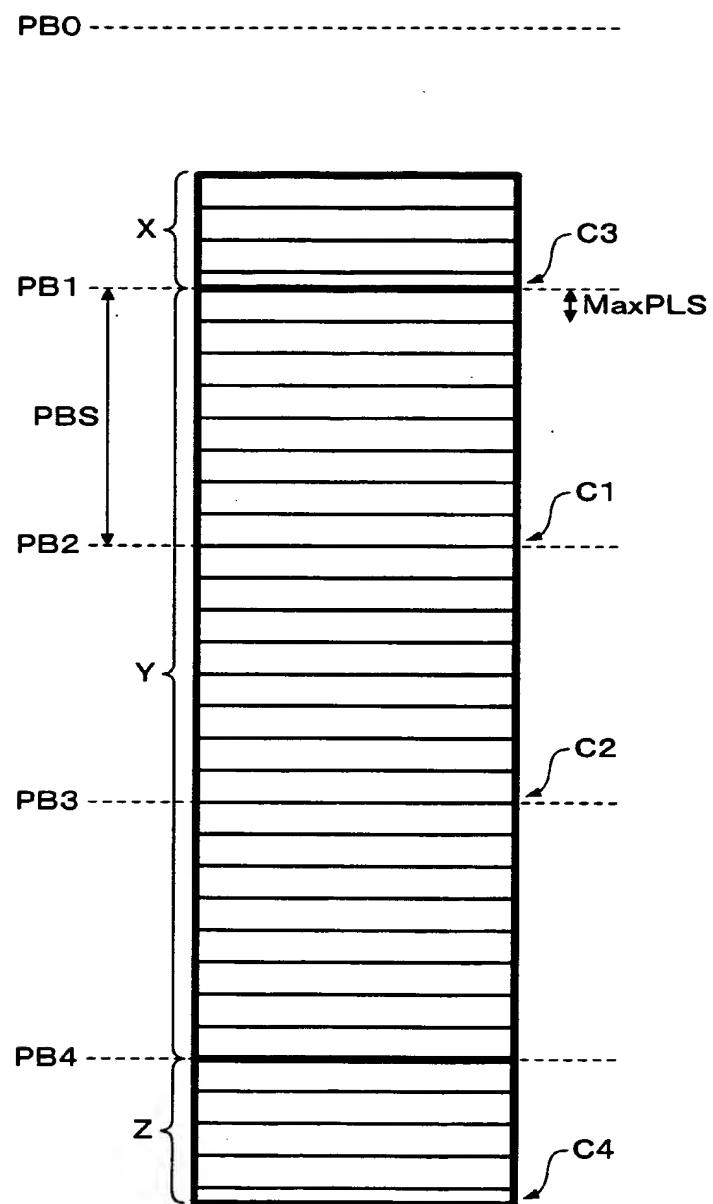
【図11】



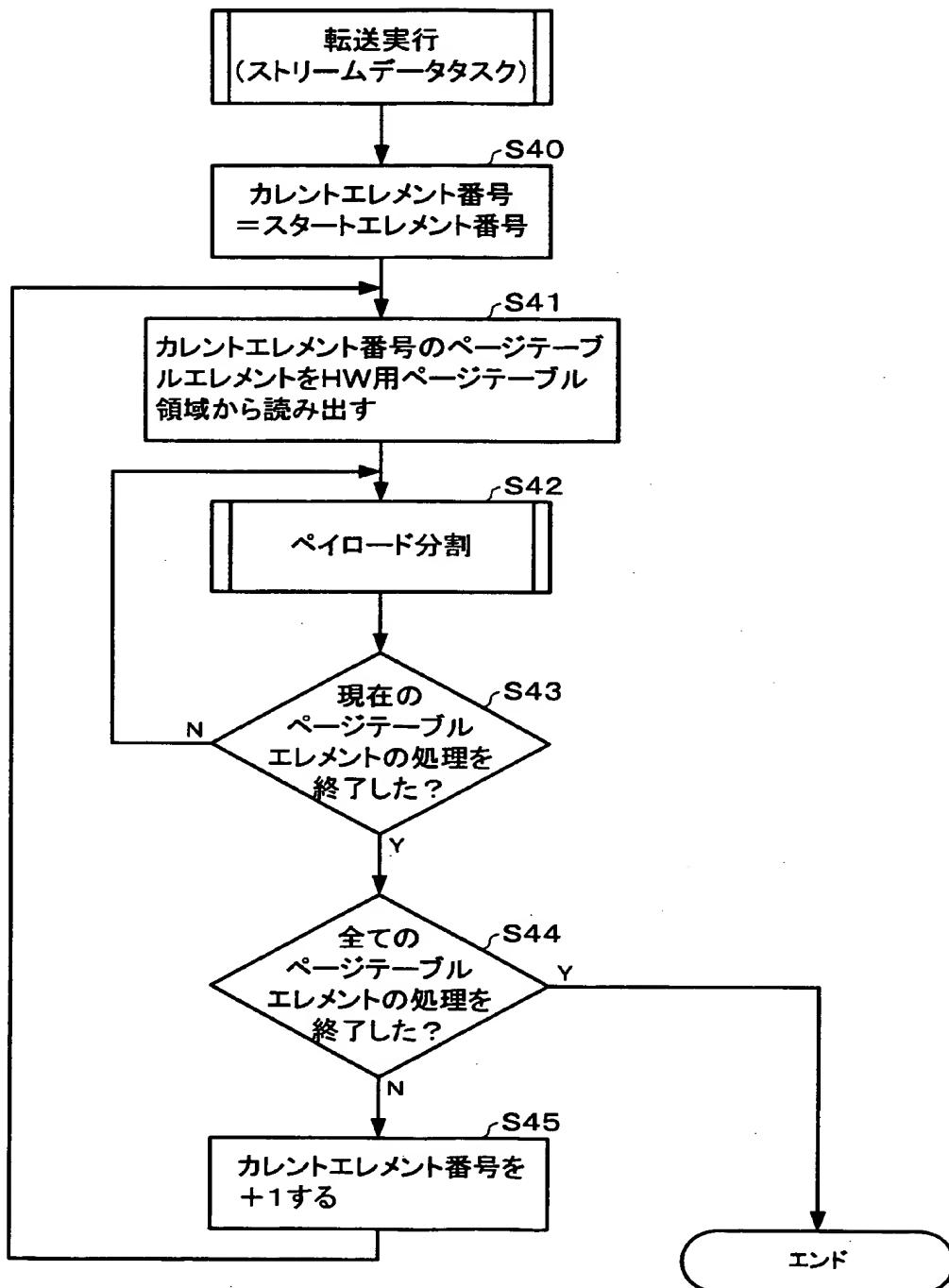
【図12】



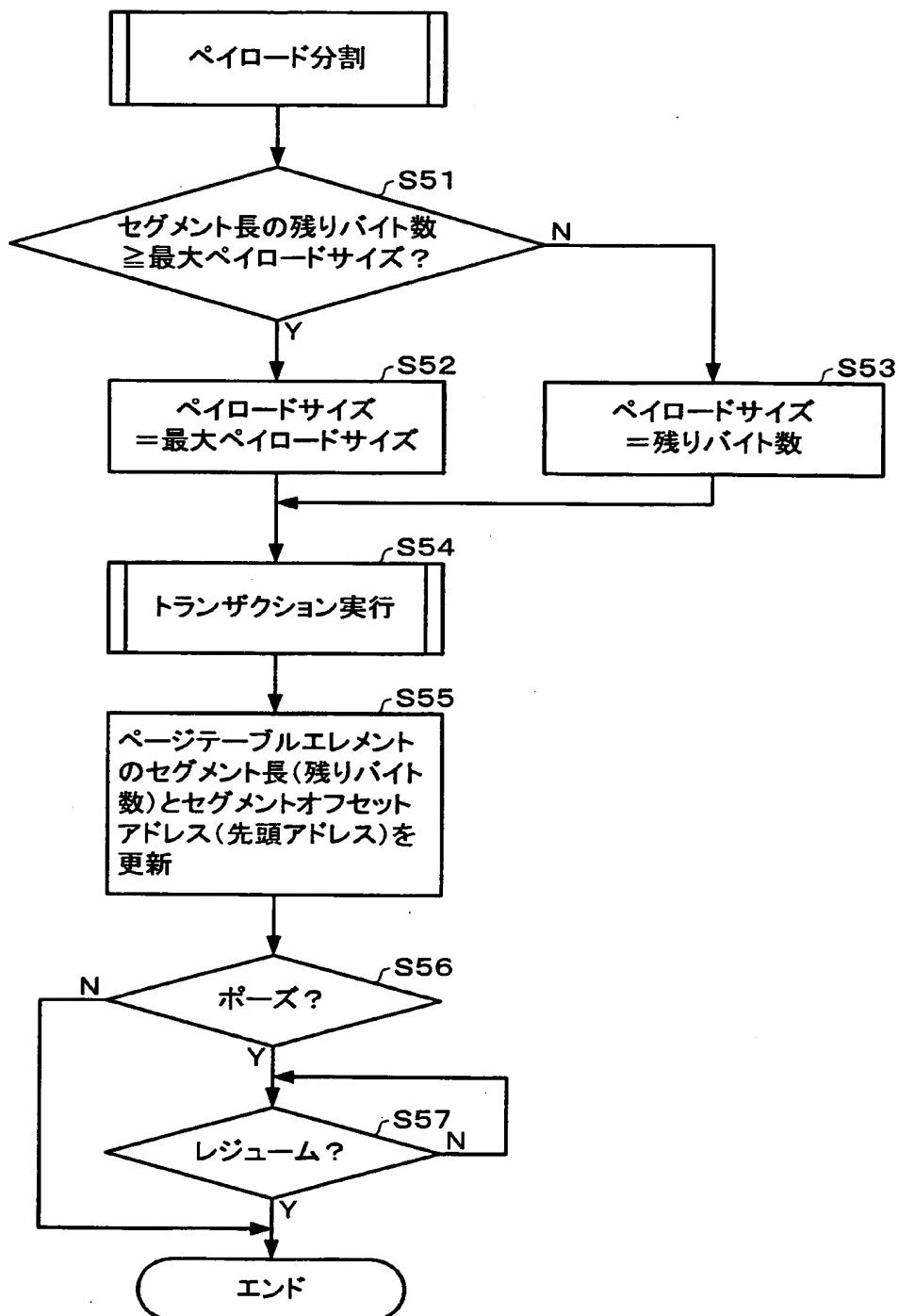
【図13】



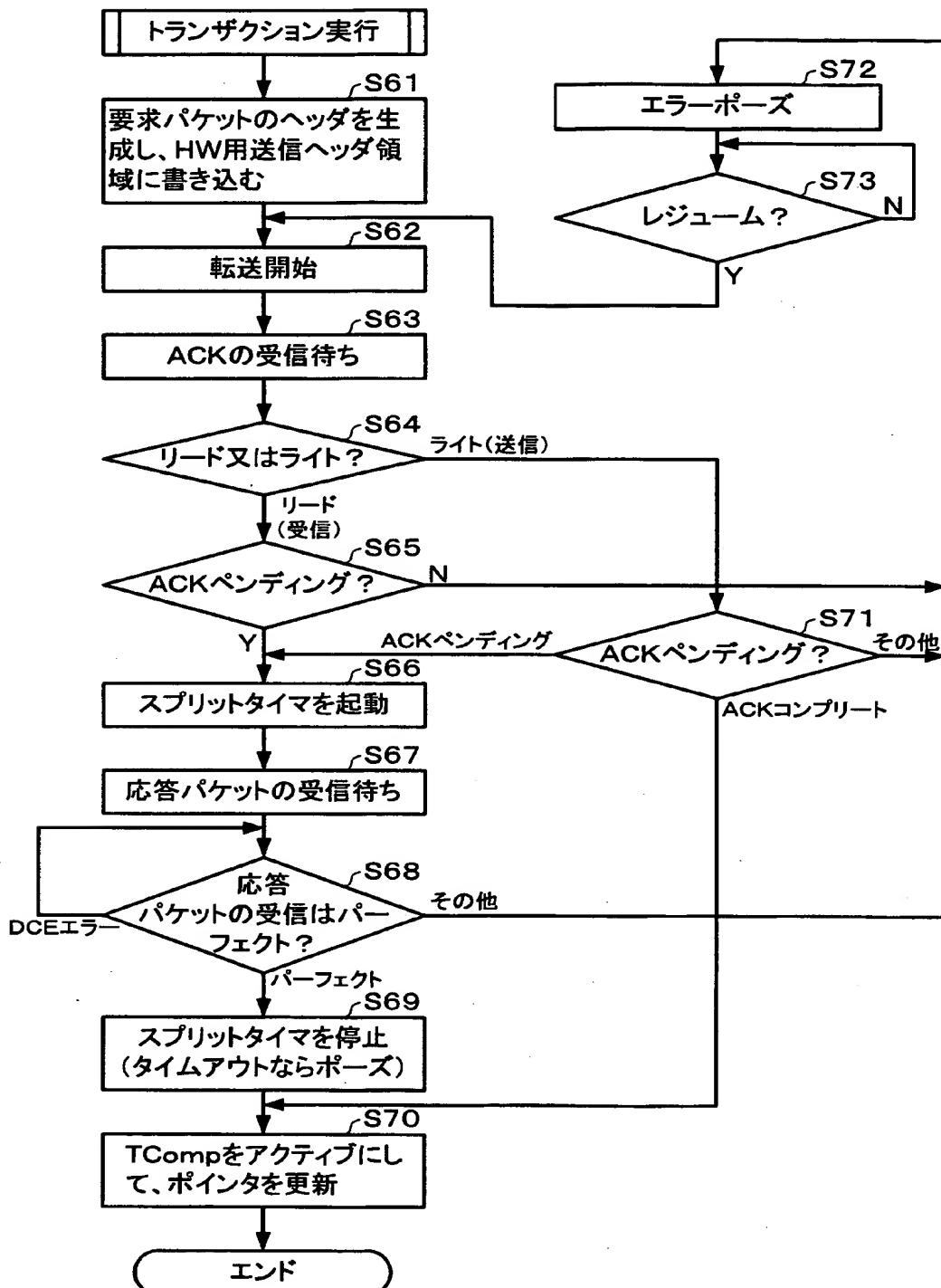
【図14】



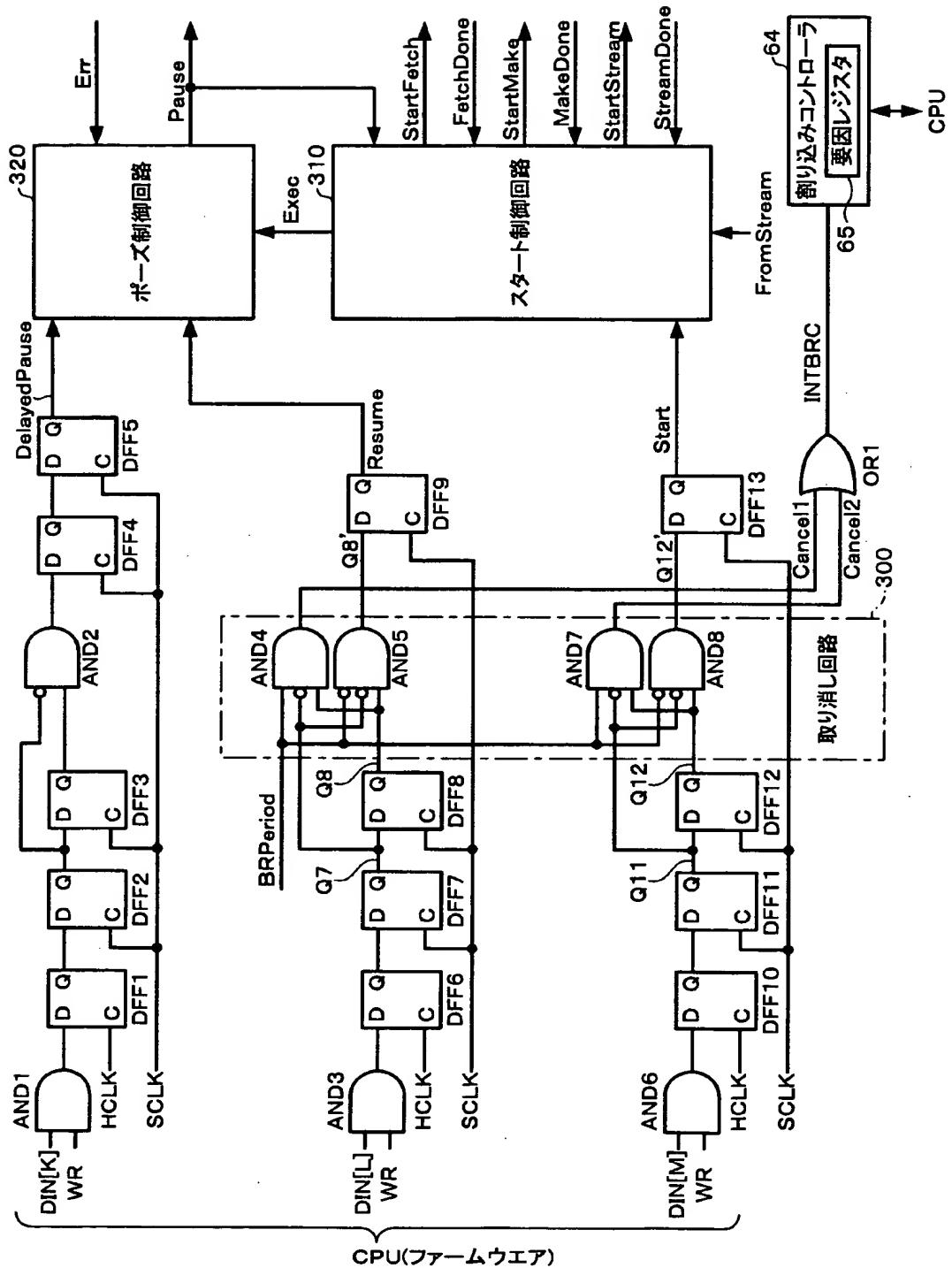
【図15】



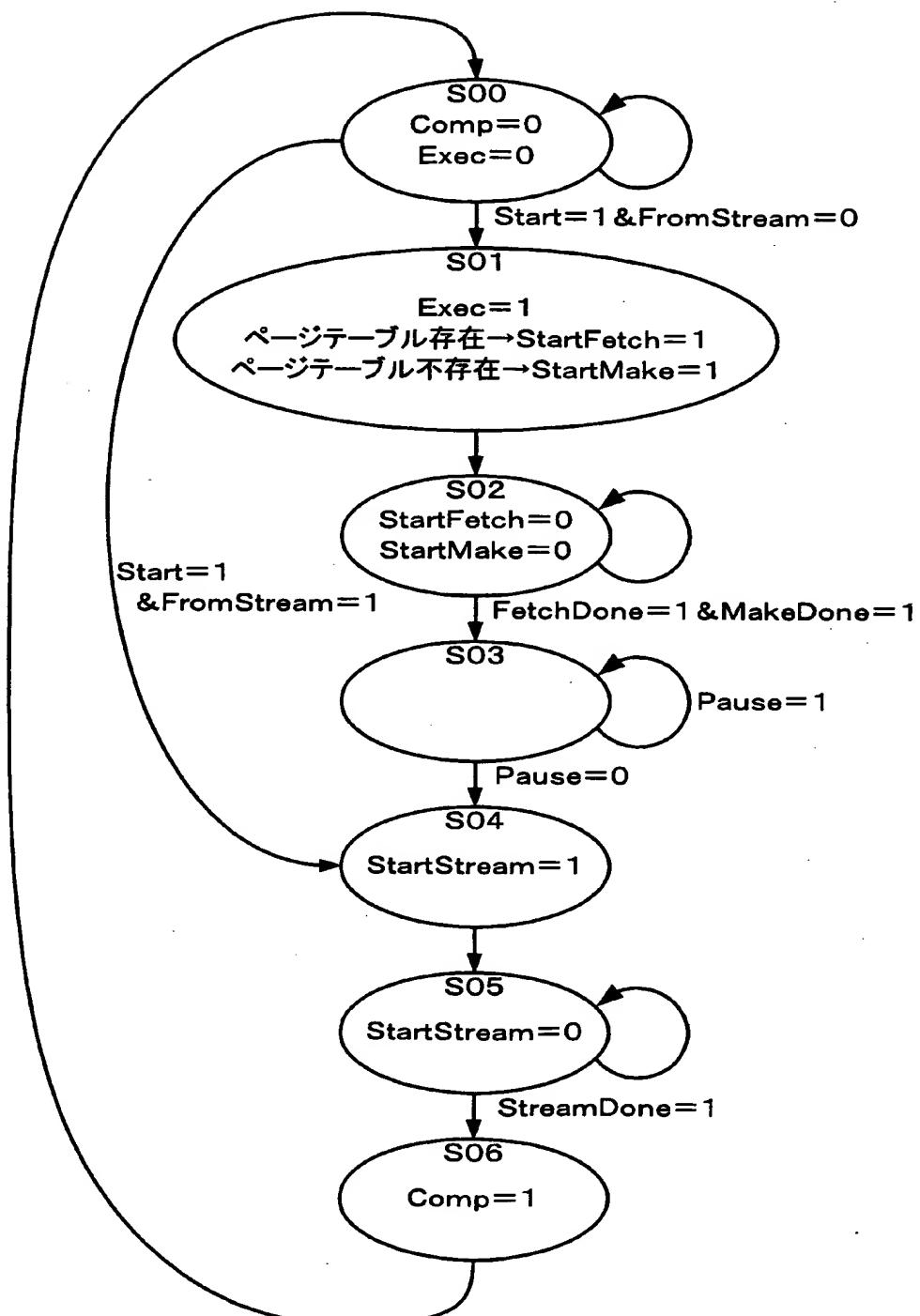
【図16】



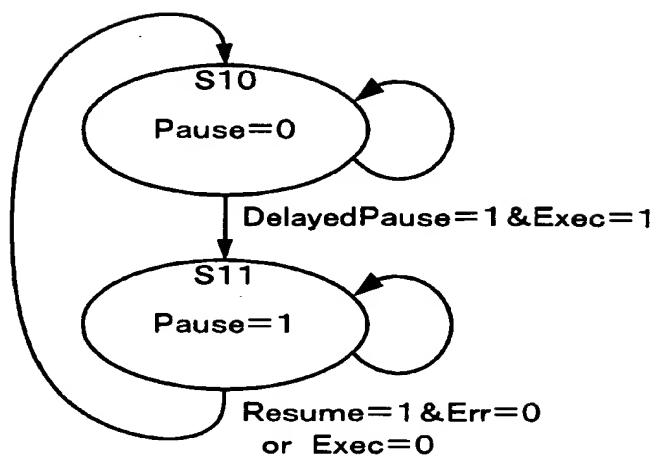
【図17】



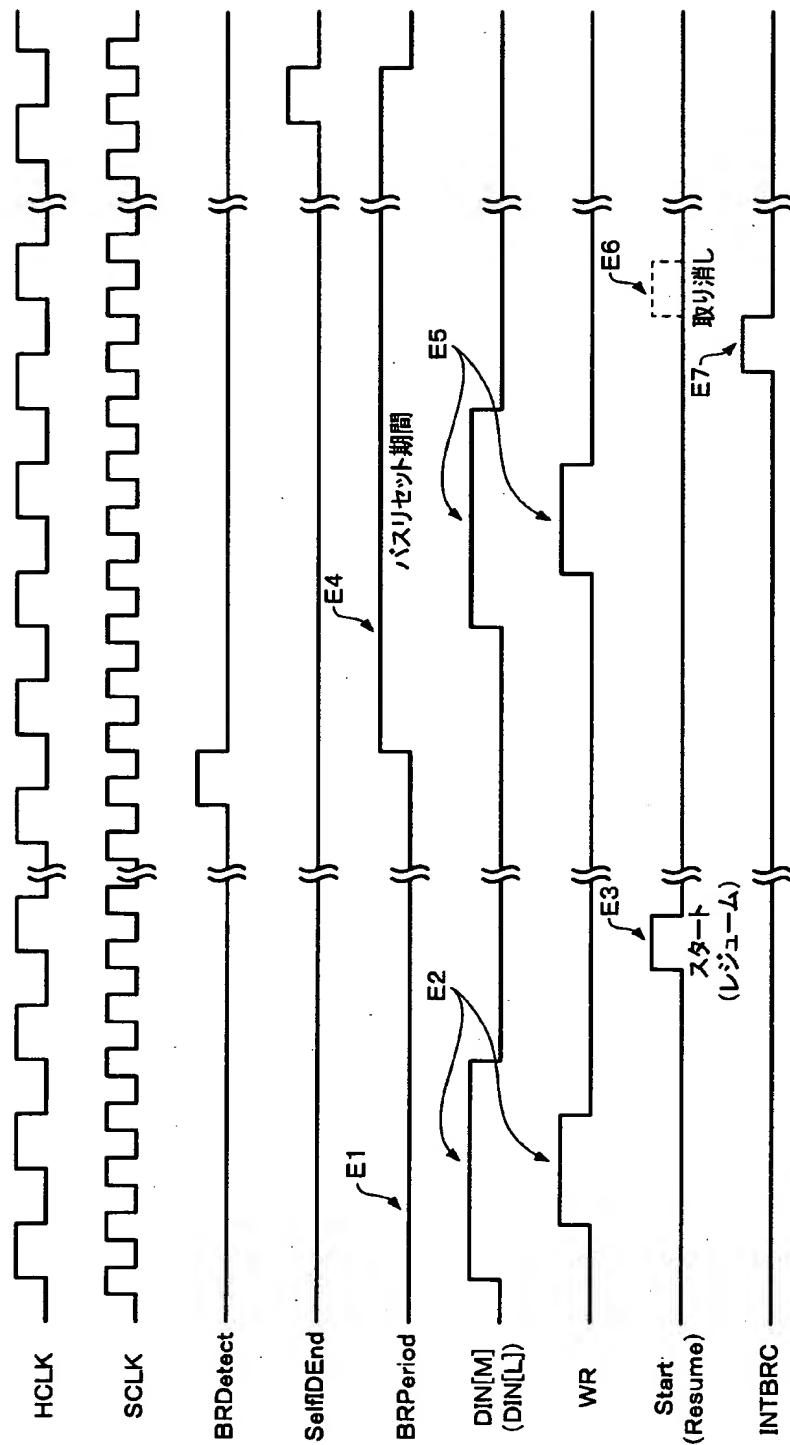
【図18】



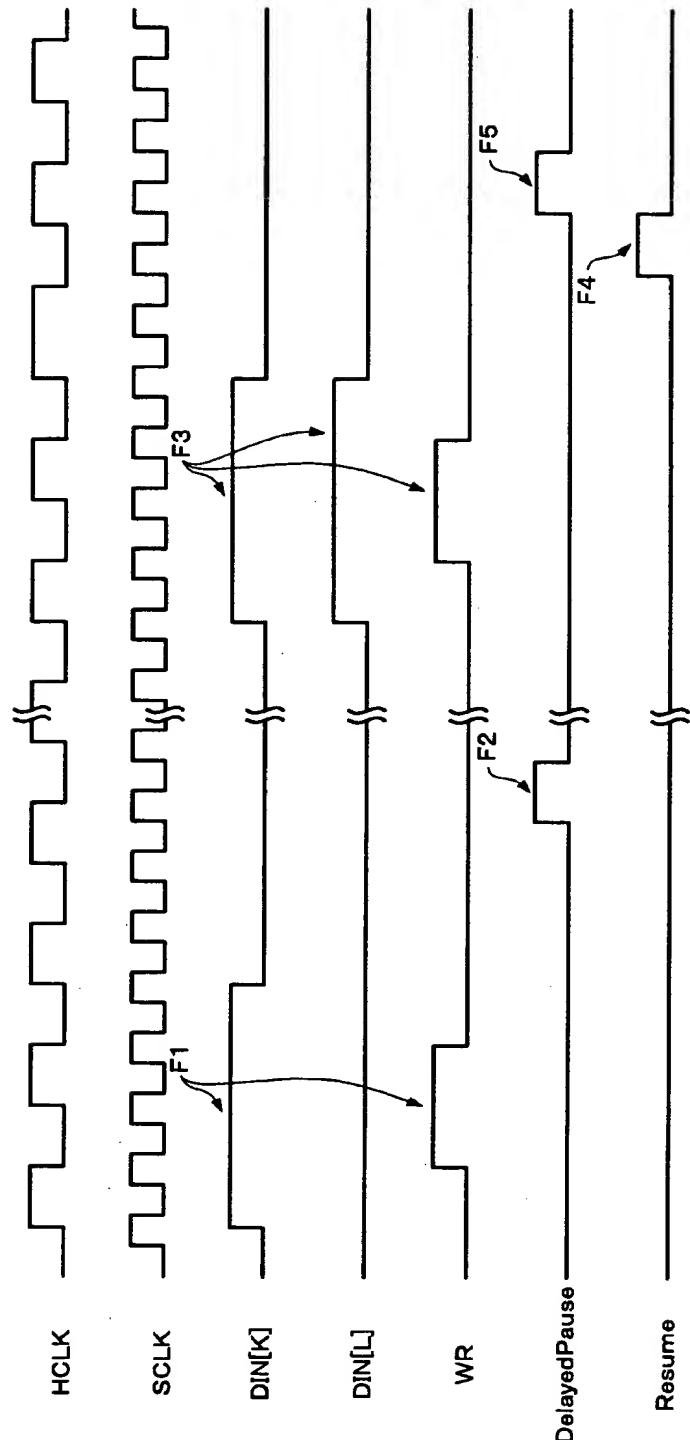
【図19】



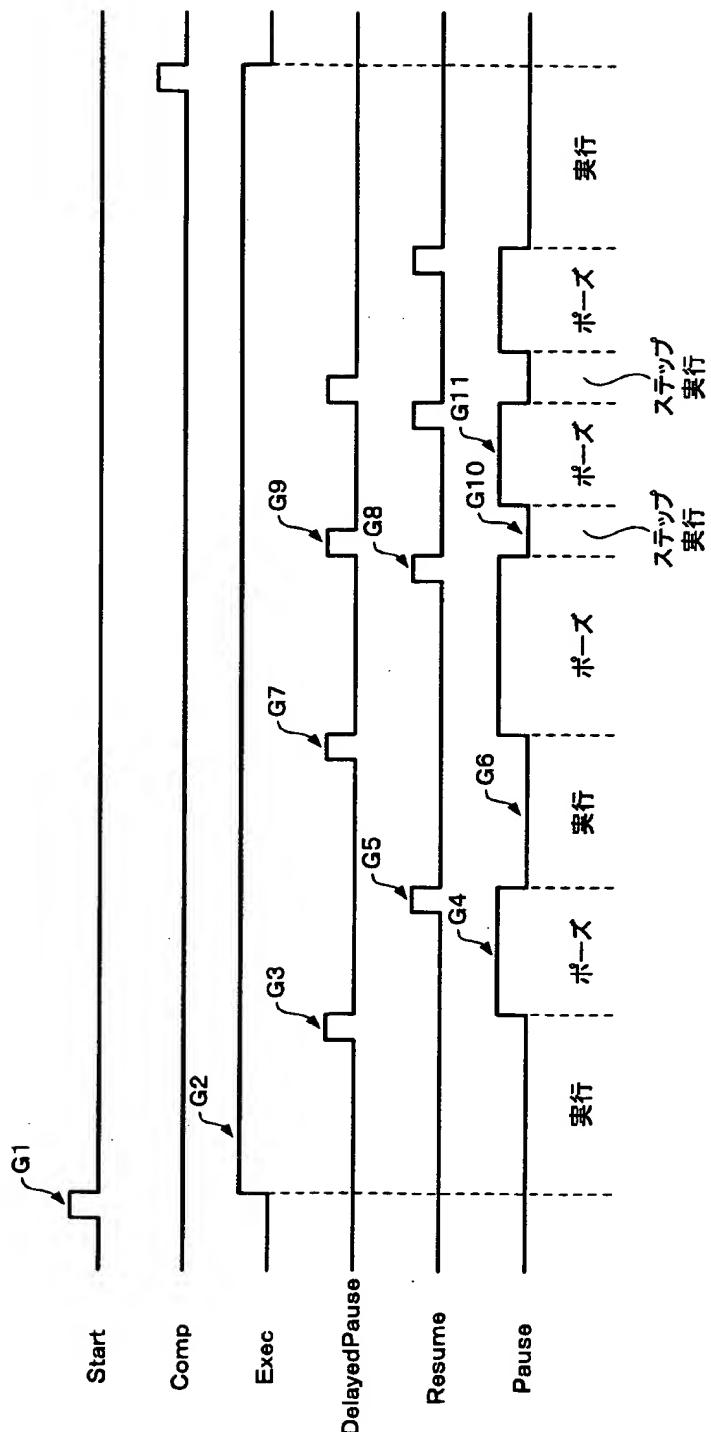
【図20】



【図21】

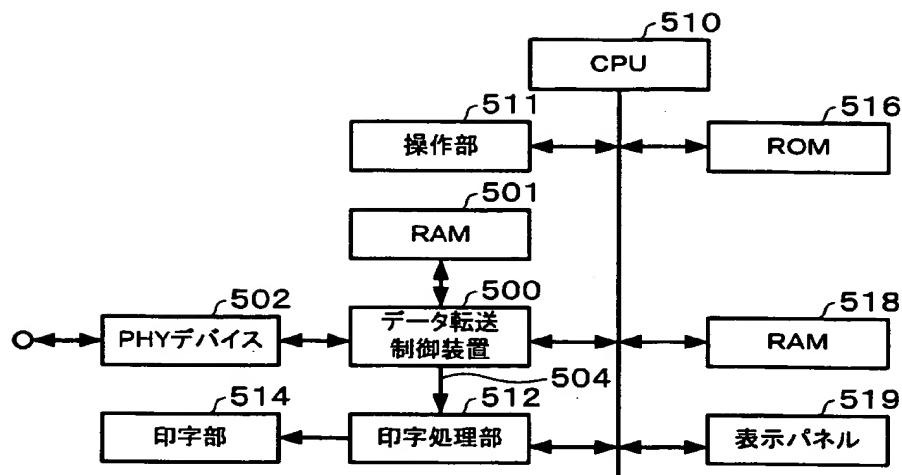


【図22】

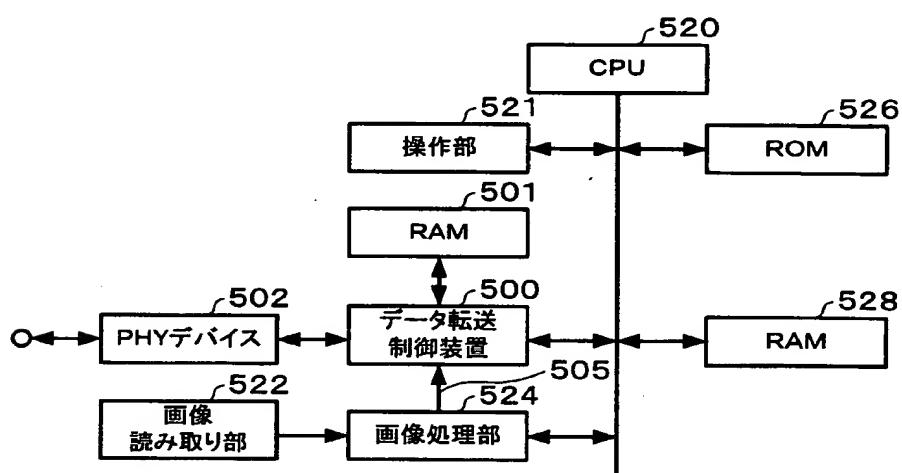


【図23】

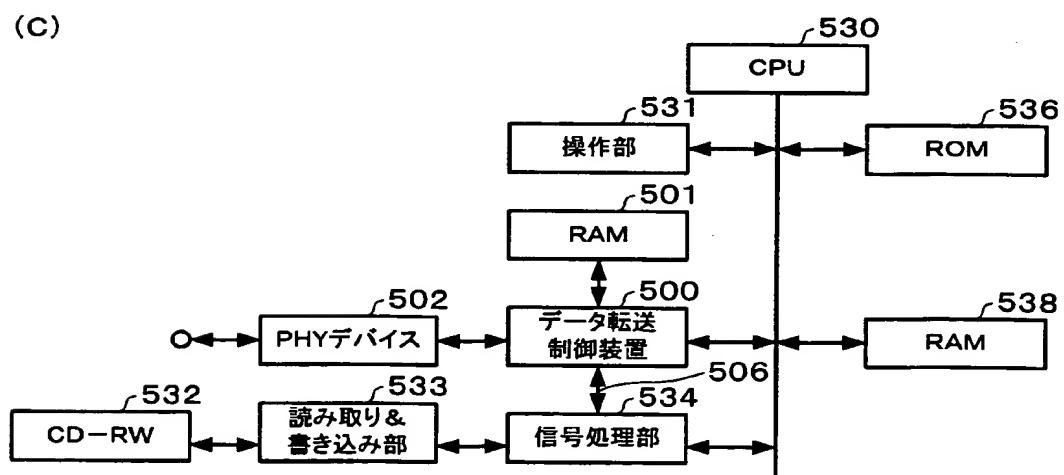
(A)



(B)

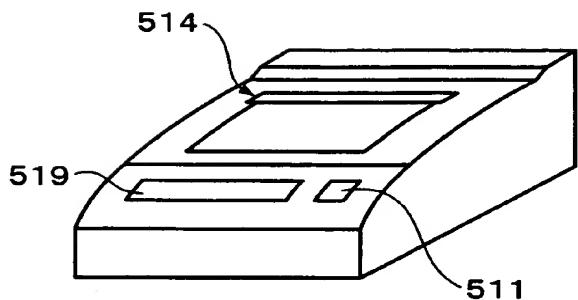


(C)

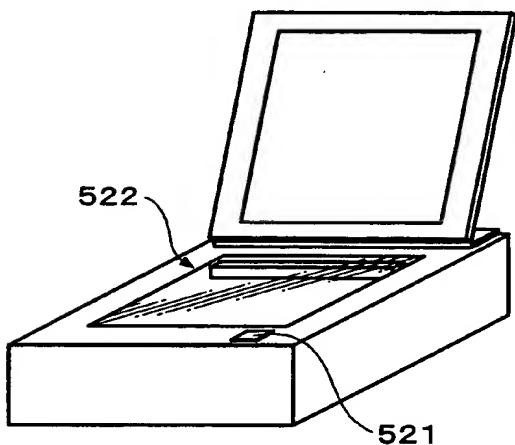


【図24】

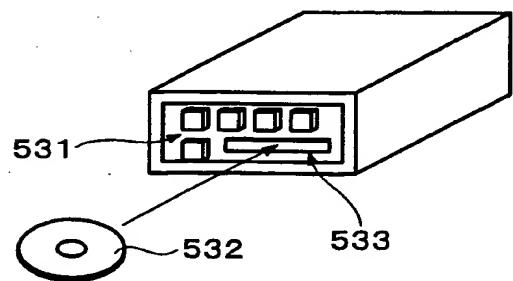
(A)



(B)



(C)



【書類名】 要約書

【要約】

【課題】 ノードのトポロジ情報をクリアするリセットが発生した場合にも、安定した動作が保証されるデータ転送制御装置、電子機器を提供すること。

【解決手段】 I E E E 1 3 9 4 規格のデータ転送制御装置において、バスリセット期間中に C P U (ファームウェア) がデータ転送のスタート (レジューム) コマンドを発行した場合に、そのコマンドの実行を取り消す。そしてコマンドが取り消されたことを割り込みを用いて C P U に知らせる。コマンドの発行時にアクティブになる信号を、バスリセット期間中にアクティブになる信号でマスクすることでコマンドを取り消す。ポーズコマンドが発行されると、予め定められたポーズ場所で転送処理がポーズする。転送データはハードウェアにより一連のパケットに自動的に分割されて連續転送される。C P U が、データ転送のレジュームコマンドとポーズコマンドとを同時に発行した場合に、転送処理をステップ実行した後に転送処理をポーズするようにする。

【選択図】 図17

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号  
氏 名 セイコーエプソン株式会社